

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 8 月 4 日 (04.08.2005)

PCT

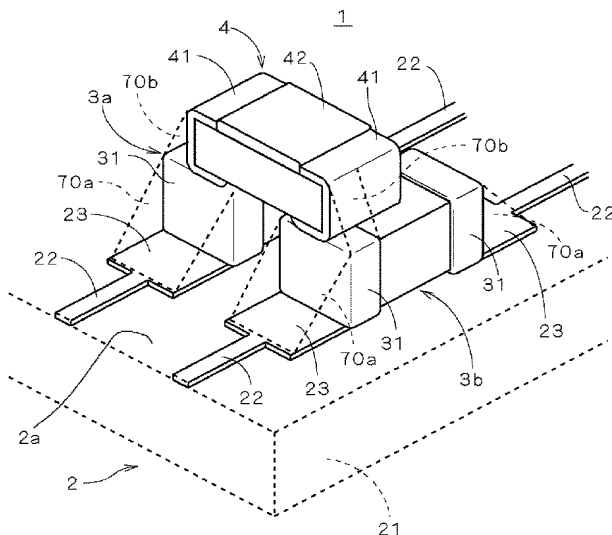
(10) 国際公開番号
WO 2005/072033 A1

- (51) 国際特許分類⁷: H05K 1/18 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/000890 (75) 発明者/出願人 (米国についてののみ): 森 将人 (MORI, Masato). 平野 正人 (HIRANO, Masato). 大西 浩昭 (ONISHI, Hiroaki). 中西 清史 (NAKANISHI, Kiyoshi). 小谷 暁彦 (ODANI, Akihiko).
(22) 国際出願日: 2005 年 1 月 25 日 (25.01.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-017899 2004 年 1 月 27 日 (27.01.2004) JP
特願2004-039427 2004 年 2 月 17 日 (17.02.2004) JP
(74) 代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 3 番 7 号 I M P ビル 青山特許事務所 Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: CIRCUIT BOARD AND METHOD FOR MOUNTING CHIP COMPONENT

(54) 発明の名称: 回路基板およびチップ部品実装方法



(57) Abstract: Disclosed is a circuit board (1) comprising a substrate (2) wherein a wiring pattern (22) is formed, first chip components (3a, 3b) mounted on the substrate and a second chip component (4) mounted on electrodes (31) of the first chip components, specifically on the sides of the electrodes which are opposite to the sides facing the substrate. One electrode (41) of the second chip component is connected to an electrode of the first chip component (3a) and the other electrode (41) is connected to an electrode (31) of the first chip component (3b). By superposing a chip component on top of another chip component, chip components can be mounted on a substrate in high density, thereby realizing miniaturization of the circuit board (1).

(57) 要約: 回路基板 (1) は、配線パターン (22) が形成された基板 (2) と、基板上に実装された第 1 チップ部品 (3a, 3b) と、第 1 チップ部品の電極 (31) 上の基板とは反対側に実装された第 2 チップ部品 (4) とを備える。第 2 チップ部品の一方の電極 (41) は、第 1 チップ部品の電極 (31) の一方の電極 (3a) と、第 1 チップ部品の電極 (31) の他方の電極 (3b) とに接続される。チップ部品を他のチップ部品の上に重ねて実装することにより、回路基板 (1) の高密度実装が実現される。

[続葉有]



WO 2005/072033 A1



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

チップ部品 (3a) の電極に接続され、他方の電極 (41) は第1チップ部品 (3b) の電極 (31) に接続され
る。チップ部品を多段に積み重ねることにより、チップ部品を基板に高密度に実装することができ、回路基板1が
小型化される。

明 細 書

回路基板およびチップ部品実装方法

技術分野

[0001] 本発明は、電子部品であるチップ部品が実装された、チップ部品実装体及びチップ部品アセンブリに相当する回路基板、およびチップ部品の実装方法に関する。

背景技術

[0002] 近年、携帯電話やコンピュータ等の電子機器の小型、薄型、高機能化に伴い、配線パターンが形成された基板に電子部品を実装した回路基板の更なる高密度実装化の要求が高まっている。これに対応すべく、表面実装用の微細な電子部品であるチップ部品の実装においては、部品サイズの小型化および実装された部品間隔の狭ピッチ化が進んでいる。さらには、チップ部品の間の間隙をほぼなくすために、複数のチップ部品を連結した電子部品も市販されている。また、チップ部品を挟んで複数の大きな回路基板を重ねることによる高密度実装も提案されている。

[0003] 例えば、特許文献1には、平板状のチップ部品の4隅部にそれぞれ切欠き部を形成するとともに相対向する両端面に電極を形成し、複数のチップ部品を電極の形成されていない側面同士を連結接合した電子部品集合体が記載されている。また、特許文献2には、両端に電極を有する直方体のチップ部品が絶縁層を介してチップ部品の長手方向と直交する方向に2個以上積層された電子部品集合体を製造し、この電子部品集合体を配線パターンの形成された基板に実装する技術が記載されている。さらに、特許文献3には、同サイズの2つのチップコンデンサを基板の主面に垂直な方向に積み重ねたものが開示されている。

[0004] 又、特許文献4の図7および特許文献5の図20には、第1の基板上に、抵抗、コンデンサ等のチップ部品を介して第2の基板を電氣的に接続し、第2の基板の上下両主面上にさらに別の電子部品を実装した基板構造が記載されている。特許文献4および特許文献5に記載の構造では、第1の基板と第2の基板との間のチップ部品は両基板を接続する導電体に代えて設けられたものであり、第1の基板と第2の基板との電氣的接続に寄与しない他の電子部品がこれらの基板の間の領域の大部分を占有

する。

[0005] 特許文献1:特開平6-251993号公報

特許文献2:特開2001-223455号公報

特許文献3:特開昭63-60593号公報

特許文献4:国際公開第01/048821号パンフレット

特許文献5:特開2003-108963号公報

発明の開示

発明が解決しようとする課題

[0006] ところで、チップ部品の実装においては、部品サイズの小型化と実装する部品間隔の狭ピッチ化に伴って、微細で高精度な実装が必要になり、欠品やショート等の実装不良が増加する等の理由により、更なる高密度実装が困難になる。すなわち、チップ部品の実装において、部品サイズの小型化および部品間隔の狭ピッチ化による実装の高密度化が限界に達している。一方、実装後の回路基板の総厚みは、チップ部品よりも部品高さが高いパッケージ部品に制約されるため、小型のチップ部品を狭い間隔で実装したとしてもチップ部品の上に空間が余る状態になり、チップ部品を含む電子部品の実装のために空間を無駄に占有することとなる。

[0007] なお、特許文献3に開示された技術は、同種のチップコンデンサを上下に積み重ねただけであり、積層するまでもなく同等容量にてなる1つのチップコンデンサにより代替できる技術である。また、チップコンデンサの積み上げが可能となるのは、それらの容量等の制約があることから、回路基板において利用できる箇所が限定的であり、回路基板の小型化には余り寄与しない。

[0008] また、特許文献4および特許文献5に開示された基板構造は、多層化による高密度実装を実現しているが、このような高密度化には回路基板の大幅な設計変更が必要であり、局所的ではあるが簡単にチップ部品の実装を高密度化したいという要望に応えることができない。

[0009] 本発明は、上記課題を解決するためになされたものであり、電子部品の実装に利用される空間を有効に活用してチップ部品をさらに高密度に実装して小型化を図れる回路基板、及びチップ部品実装方法を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1態様における回路基板は、チップ部品が実装された回路基板であって、

配線パターンが形成された基板と、

前記基板上に導電性の接合材料を介して実装された、上記チップ部品に含まれる複数の第1チップ部品と、

前記複数の第1チップ部品において前記基板とは反対側に導電性の接合材料を介して実装された、上記チップ部品に含まれる第2チップ部品と、

を備え、

前記複数の第1チップ部品に含まれる一の第1チップ部品および他の第1チップ部品の前記基板上における高さがほぼ等しく、前記第2チップ部品の一方の電極が前記一の第1チップ部品の電極に接合され、他方の電極が前記他の第1チップ部品の電極に接合される。

[0011] 上記第1態様において、以下のように構成してもよい。

前記複数の第1チップ部品および前記第2チップ部品の長さが2mm以下としてもよい。又、前記複数の第1チップ部品および前記第2チップ部品が、抵抗器、コンデンサまたはインダクタであってもよい。又、前記基板上において前記複数の第1チップ部品および前記第2チップ部品の接合部を覆う補強樹脂をさらに備えてもよい。

[0012] さらに又、本発明の第2態様における回路基板は、チップ部品が実装された回路基板であって、

配線パターンが形成された基板と、

前記基板上に導電性の接合材料を介して実装された、上記チップ部品に含まれる第1チップ部品と、

前記第1チップ部品において前記基板とは反対側に導電性の接合材料を介して実装された、上記チップ部品に含まれる第2チップ部品と、

を備え、

前記第1チップ部品に含まれる第1チップ部品と、前記第1チップ部品の電極に接合される第2チップ部品とが異種部品である。

[0013] 又、本発明の第3態様におけるチップ部品実装方法は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、

前記基板上における部品高さがほぼ等しく、導電性の接合材料を介して前記配線パターンに配置される、上記チップ部品に含まれる複数の第1チップ部品に対して、前記基板とは反対側に、上記チップ部品に含まれる第2チップ部品を配置するとき、前記第1チップ部品に含まれる一の第1チップ部品の電極に前記第2部品の一方の電極を導電性の接合材料を介して配置し、かつ前記第1チップ部品に含まれる他の第1チップ部品の電極に前記第2部品の他方の電極を導電性の接合材料を介して配置して部品実装を行う。

[0014] 上記第3態様において、以下のように構成してもよい。

前記配線パターンに前記第1チップ部品を前記接合材料にて固定した後、前記第1チップ部品に前記第2チップ部品を前記接合材料にて固定するとき、前記第2チップ部品を含む前記基板上の一部の領域のみを加熱して固定してもよい。又、前記配線パターンと前記第1チップ部品との前記接合材料による固定、及び、前記第1チップ部品と前記第2チップ部品との前記接合材料による固定を同工程にて行ってもよい。又、前記第1チップ部品と前記第2チップ部品とを前記接合材料にて固定してチップ部品構造体を形成した後、該チップ部品構造体に含まれる前記第1チップ部品の前記電極と前記配線パターンとを接触させ前記チップ部品構造体を前記基板上に前記接合材料にて固定してもよい。又、前記第1チップ部品と前記第2チップ部品とを前記接合材料にて固定するとき、前記複数の第1チップ部品のそれぞれが、保持部の凹部に保持されてもよい。又、前記複数の第1チップ部品と前記第2チップ部品との間の前記接合材料が、接合前において、前記複数の第1チップ部品の電極上に形成されたはんだ層または前記第2チップ部品の電極上に形成されたはんだ層であってもよい。又、前記基板上において前記複数の第1チップ部品および前記第2チップ部品の接合部を補強樹脂にて覆う工程をさらに備えてもよい。

[0015] 又、本発明の第4態様における回路基板は、チップ部品が実装された回路基板であって、

配線パターンが形成された基板と、

前記基板上に導電性の接合材料を介して実装された、上記チップ部品に含まれる複数の第1チップ部品と、

前記複数の第1チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された補助基板と、

前記補助基板の前記複数の第1チップ部品とは反対側に導電性の接合材料を介して実装され、前記補助基板を介して前記複数の第1チップ部品と電氣的に接合された、上記チップ部品に含まれる第2チップ部品と、

を備え、

前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである。

[0016] 上記第4態様において、以下のように構成してもよい。

前記複数の第1チップ部品および前記第2チップ部品の長さが2mm以下であってもよい。又、前記複数の第1チップ部品および前記第2チップ部品が、抵抗器、コンデンサまたはインダクタであってもよい。又、前記複数の第1のチップ部品が2つであってもよい。

[0017] 又、本発明の第5態様におけるチップ部品実装方法は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、

補助基板の一の主面上に、導電性の接合材料を介して、上記チップ部品に含まれる複数の第1チップ部品の電極を装着接合し、

前記補助基板の前記一の主面とは反対側の他の主面上の電極に導電性の接合材料にて、上記チップ部品に含まれる第2チップ部品の電極を接合して前記第2チップ部品を前記複数の第1チップ部品と電氣的に接合したチップ部品構造体を形成し、

前記チップ部品構造体の前記複数の第1チップ部品の電極を導電性の接合材料を介して前記基板の電極上に接合して部品実装を行い、ここで、

前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである。

[0018] 又、本発明の第6態様におけるチップ部品実装方法は、配線パターンが形成され

た基板上にチップ部品を実装するチップ部品実装方法であって、

前記基板の電極上に、上記チップ部品に含まれる複数の第1チップ部品を配置し、
前記複数の第1チップ部品の前記基板とは反対側に補助基板を配置して該補助基板の一の主面上の電極に前記複数の第1チップ部品の電極を配置し、

前記補助基板の前記一の主面とは反対側の他の主面上の電極に、上記チップ部品に含まれる第2チップ部品の電極を配置し、

導電性の接合材料を介して前記基板の前記電極と前記複数の第1チップ部品の前記電極とを固定した後、前記第1チップ部品の前記電極と前記補助基板の前記一の主面における前記電極とを固定し、次に、前記補助基板の前記他の主面における前記電極と前記第2チップ部品の前記電極とを固定することで部品実装を行い、ここで、

前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである。

発明の効果

- [0019] 本発明によれば、チップ部品を基板に高密度に実装することができ、これにより、回路基板を小型化することができる。即ち、従来、パッケージ部品とチップ部品とが混在して基板に実装されている場合、チップ部品に比べてパッケージ部品の方が厚みが多いことから、チップ部品の上方には、空間が生じてしまう。これに対し、本発明によれば、チップ部品とチップ部品とを積層することで、上記空間の発生を抑えることができ、かつチップ部品を効率的に配置できることから、回路基板の小型化を図ることができる。

図面の簡単な説明

- [0020] [図1]図1は、回路基板の一部を示す斜視図、
[図2]図2は、回路基板上の構造を示す図、
[図3]図3は、チップ部品の実装方法を示すフローチャート、
[図4A]図4Aは、第1チップ部品の実装を示す図、
[図4B]図4Bは、第1チップ部品の実装を示す図、
[図4C]図4Cは、第1チップ部品の実装を示す図、

[図5A]図5Aは、第2チップ部品の実装を示す図、
[図5B]図5Bは、第2チップ部品の実装を示す図、
[図5C]図5Cは、第2チップ部品の実装を示す図、
[図5D]図5Dは、第2チップ部品の実装を示す図、
[図6]図6は、チップ部品の他の実装方法を示すフローチャート、
[図7A]図7Aは、第1および第2チップ部品の実装を示す図、
[図7B]図7Bは、第1および第2チップ部品の実装を示す図、
[図8]図8は、チップ部品のさらに他の実装方法を示すフローチャート、
[図9A]図9Aは、第2チップ部品の実装を示す図、
[図9B]図9Bは、第2チップ部品の実装を示す図、
[図10]図10は、チップ部品のさらに他の実装方法を示すフローチャート、
[図11A]図11Aは、チップ部品構造体の形成を示す図、
[図11B]図11Bは、チップ部品構造体の形成を示す図、
[図11C]図11Cは、チップ部品構造体の形成を示す図、
[図11D]図11Dは、チップ部品構造体の形成を示す図、
[図12A]図12Aは、チップ部品構造体の実装を示す図、
[図12B]図12Bは、チップ部品構造体の実装を示す図、
[図12C]図12Cは、チップ部品構造体の実装を示す図、
[図13]図13は、チップ部品のさらに他の実装方法を示すフローチャート、
[図14A]図14Aは、チップ部品構造体の形成を示す図、
[図14B]図14Bは、チップ部品構造体の形成を示す図、
[図15A]図15Aは、積み重ねられなかった場合のチップ部品を示す図、
[図15B]図15Bは、積み重ねられたチップ部品を示す図、
[図16]図16は、回路基板上の構造の他の例を示す図、
[図17]図17は、回路基板上の構造の他の例を示す図、
[図18]図18は、回路基板上の構造の他の例を示す図、
[図19]図19は、回路基板上の構造の他の例を示す図、
[図20]図20は、回路基板上の構造の他の例を示す図、

[図21]図21は、回路基板上の構造の他の例を示す図、
[図22]図22は、回路基板上の構造の他の例を示す図、
[図23]図23は、回路基板の一部を示す斜視図、
[図24]図24は、回路基板上の構造を示す図、
[図25]図25は、チップ部品の実装方法を示すフローチャート、
[図26A]図26Aは、チップ部品構造体の形成を示す図、
[図26B]図26Bは、チップ部品構造体の形成を示す図、
[図26C]図26Cは、チップ部品構造体の形成を示す図、
[図26D]図26Dは、チップ部品構造体の形成を示す図、
[図26E]図26Eは、チップ部品構造体の形成を示す図、
[図27A]図27Aは、チップ部品構造体の実装を示す図、
[図27B]図27Bは、チップ部品構造体の実装を示す図、
[図27C]図27Cは、チップ部品構造体の実装を示す図、
[図27D]図27Dは、チップ部品構造体の実装を示す図、
[図28]図28は、チップ部品の他の実装方法を示すフローチャート、
[図29A]図29Aは、第1および第2チップ部品の実装を示す図、
[図29B]図29Bは、第1および第2チップ部品の実装を示す図、
[図29C]図29Cは、第1および第2チップ部品の実装を示す図、
[図29D]図29Dは、第1および第2チップ部品の実装を示す図、
[図29E]図29Eは、第1および第2チップ部品の実装を示す図、
[図30A]図30Aは、積み重ねられなかった場合のチップ部品を示す図、
[図30B]図30Bは、積み重ねられたチップ部品を示す図、
[図31]図31は、回路基板上の構造の他の例を示す図、
[図32]図32は、回路基板上の構造の他の例を示す図、
[図33]図33は、回路基板上の構造の他の例を示す図、
[図34]図34は、回路基板上の構造の他の例を示す図、
[図35]図35は、回路基板上の構造の他の例を示す図。

符号の説明

- [0021] 1 回路基板
2 基板
3, 3a, 3b 第1チップ部品
4, 4a, 4b 第2チップ部品
5 補強樹脂
22 配線パターン
23, 31, 41 電極
70a, 70b はんだ
201 回路基板
202 基板
203, 203a, 203b 第1チップ部品
204, 204a, 204b, 204c 第2チップ部品
205 補強樹脂
210 チップ部品構造体
211 補助基板
222 配線パターン
223, 231, 241 電極
270a, 270b, 270c はんだ
2101, 2102 電極
2111 第1主面
2112 第2主面

発明を実施するための最良の形態

- [0022] 本発明における実施形態について、図面を参照して以下に説明する。尚、各図において同じ部品については同じ参照符号を付している。

第1実施形態；

図1は、本発明の第1の実施の形態に係る回路基板1の一部を示す斜視図である。図2は、図1に示す構造の3方向から見た様子をまとめて示す図であり、正面図を左下に、平面図を左上に、側面図を右下に示している。

[0023] 図1および図2では、チップ部品アッセンブリに相当する回路基板1が、基板2と、基板2上の2つのチップ部品(以下、「第1チップ部品」という。)3a, 3b(総称して、第1チップ部品3と記す場合もある。)と、第1チップ部品3a, 3b上の1つのチップ部品(以下、「第2チップ部品」という。)4とを備える様子を示しており、第1チップ部品3a, 3bおよび第2チップ部品4が、接合材料の一例であるはんだ70a, 70bを介して、基板2の表面2aに対して垂直な方向に2段に積み重ねられてブリッジ状に立体的に実装されている。なお、回路基板1の構造を明瞭に示すために、図1および図2において、はんだ70a, 70bの輪郭を破線で示し、図2の右下部でははんだ70bの図示を省略し、左下部でははんだ70bの図示を省略し、左上部でははんだ70a, 70bおよび基板2上の配線の図示を省略している。後述するように実際には第1チップ部品3a, 3bおよび第2チップ部品4は接合を補強するための補強樹脂にて覆われている。

[0024] 基板2は、基板本体21の表面に導体の配線パターン22が形成された、いわゆる配線基板であり、配線パターン22の一部が電子部品の電極と接合される電極23となっている。基板本体21は、ガラスエポキシ樹脂やポリイミド樹脂等の樹脂あるいはセラミックにより板状またはフィルム状に形成されており、配線パターン22および電極23は、銅により形成されている。

[0025] 第1チップ部品3a, 3bおよび第2チップ部品4は、表面実装技術においてパッケージ部品と対比されるいわゆるチップ部品である。尚、上記パッケージ部品とは、コンデンサや抵抗等の受動素子と、半導体やIC等の能動素子とを搭載し、特定の回路機能を発揮する部品である。又、上記チップ部品とは、コンデンサや抵抗等の受動素子にてなる部品であり、チップ部品は典型的には長手方向の両端に電極を備えた略直方体状(角形)または円筒状の電子部品であるが、その他のチップ部品として、多数の微小部品をまとめた多連型(または、ネットワーク型)のチップ部品も知られている。

[0026] 図1および図2では、第1チップ部品3a, 3bはそれぞれ両端に電極31を備えた略直方体の同サイズのチップコンデンサであり、例えば、それぞれ長さが約0.6mm、幅が約0.3mm、厚さ(高さ)が約0.3mmである。そして、電極31がはんだ70aにより基板2の電極23に接合されることにより、第1チップ部品3a, 3bが基板2上にはん

だ70aを介して実装されている。

[0027] 第1チップ部品3aと第1チップ部品3bとは、平行に並んでおり、すなわち、両チップ部品3a、3bの長手方向が同じ方向を向き、かつ、長手方向に垂直な方向に並んでおり、基板2上における両チップ部品3a、3bの高さがほぼ等しくされている。なお、基板2上における高さがほぼ等しいとは、チップ部品の製造誤差や実装誤差に起因する高さの差を無視すると、高さが等しいことを意味する。第1チップ部品3aと第1チップ部品3bとの間の間隙は、第2チップ部品4の長さよりも短く、約0.2mmとされている。

[0028] 第2チップ部品4は、第1チップ部品3a、3bとは異種の部品あり、両端に電極41を備え、電極41間に抵抗体42(図1参照)を有する略直方体のチップ抵抗器である。尚、上記異種とは、第1チップ部品3a、3bが例えばコンデンサであるときには、第2チップ部品4が例えば抵抗であるように、第1チップ部品3a、3bとは機能が異なる場合、若しくは、同じ機能であっても例えば容量等が異なる場合を意味する。第2チップ部品4は、第1チップ部品3a、3bとほぼ同じサイズであり、長さが約0.6mm、幅が約0.3mm、厚さ(高さ)が約0.25mmとなっている。第2チップ部品4は、第1チップ部品3a、3b上に重なるように、すなわち、第1チップ部品3a、3bの基板2とは反対側に、はんだ70bを介して実装されており、一方の電極41が第1チップ部品3aの電極31に、はんだ70bにて接合され、他方の電極41が第1チップ部品3bの電極31に接合される。これにより、第1チップ部品3a、3bおよび第2チップ部品4を、はんだ70a、70bを介して、基板2の表面2aに対して垂直な方向に2段に積み重ねてブリッジ状に、つまり隣接する第1チップ部品3aと第1チップ部品3bとを第2チップ部品4にて跨ぐように、立体的に実装した構造が構成される。なお、図示を省略しているが、回路基板1には、第1チップ部品3a、3bおよび第2チップ部品4以外にも、他のチップ部品やパッケージ化された電子部品等が実装されている。

[0029] また、第1チップ部品3a、3bは、はんだ70aのみを介して基板2に直接実装され、第2チップ部品4は、はんだ70bのみを介して第1チップ部品3a、3bに直接実装されることから、チップ部品の構造体の高さは第1チップ部品3a、3bの高さと第2チップ部品4の高さの和にほぼ等しく、必要最小限の高さに抑えられる。さらに、はんだのみを

用いてチップ部品が積み上げられるため、製造コストの増大の防止も図られる。

[0030] 図3は、回路基板1を製造する際のチップ部品の実装方法を、第1チップ部品3a, 3bおよび第2チップ部品4の実装に注目して示すフローチャートである。また、図4Aから図4Cは、第1チップ部品3a, 3bの実装の様子を示す図であり、図5Aから図5Dは、第2チップ部品4の実装の様子を示す図である。以下、回路基板1を製造する際のチップ部品の実装方法について説明する。

[0031] まず、図4Aに示すように、基板本体21上に配線パターンが形成された基板2の各電極23上に、ペースト状のはんだ(以下、「第1はんだ」という。)71がスクリーン印刷により付与される(ステップS11)。第1はんだ71は、いわゆるクリームはんだであり、粉末状のはんだと粘性を有するフラックスとを混合してペースト状にしたものである。

[0032] 続いて、図4Bに示すように、基板2上の第1はんだ71上に第1チップ部品3a, 3bが装着される(ステップS12)。このとき、必要に応じて、他のチップ部品81, 82やパッケージ化された電子部品(図示省略)等も、第1チップ部品3a, 3bと同様に第1はんだ71上に装着される。

[0033] 次に、基板2がリフロー装置へと搬入され、高温槽により第1はんだ71が加熱されて溶融し、フラックス成分が揮発してはんだ成分のみが残存し、その後、冷却により第1はんだ71を凝固させることにより、図4Cに示すように、固体のはんだ70aとなって、基板2の電極23上に第1チップ部品3a, 3bの電極31が電氣的に接合されるとともに機械的に固定され、第1チップ部品3a, 3bの基板2への実装が完了する(ステップS13)。他のチップ部品81, 82やパッケージ化された電子部品(図示省略)等も、第1チップ部品3a, 3bと同様に基板2に固定される。

[0034] 次に、図5Aに示すように、第1チップ部品3a, 3bの電極31上に、ペースト状のクリームはんだである第2はんだ72が、スクリーン印刷または微細なノズルを用いて付与される(ステップS14)。続いて、図5Bに示すように、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように第2はんだ72上に第2チップ部品4が装着される。すなわち、第1チップ部品3a, 3bの間を繋ぐようにして基板2とは反対側に第2チップ部品4が装着される(ステップS15)。

- [0035] そして、基板2が再度リフロー装置へと搬入され、高温槽により第2はんだ72が熔融され、その後、冷却することにより、第2はんだ72が図5Cに示すように、固体のはんだ70bとなって、第1チップ部品3a, 3bの電極31と第2チップ部品4の電極41とを電氣的に接合するとともに機械的に固定する。これにより、第2チップ部品4が第1チップ部品3a, 3b上に実装される(ステップS16)。
- [0036] なお、第2はんだ72を熔融させる際に、一旦固化したはんだ70aが再熔融してもよいが、再熔融が好ましくない場合には、はんだ70a、すなわち第1はんだ71の再熔融温度よりも低い融点を有する第2はんだ72が使用され、2回目のリフロー温度は第2はんだ72は熔融するがはんだ70aは再熔融しない温度とされる。
- [0037] また、第2はんだ72を熔融させる際には、第2チップ部品4を含む基板2上の一部の領域のみが、熱風や光を用いて局所的に加熱されてもよい。これにより、基板2上の他の領域への影響を最小限に抑えつつ、第2チップ部品4を第1チップ部品3a, 3b上に実装することができる。
- [0038] その後、図5Dに示すように、第1チップ部品3a, 3bおよび第2チップ部品4を覆うように、アンダーフィルのみであってもよく、少なくとも電極同士の接合部を覆うように、電極同士の接合を補強するための補強樹脂5がノズルを用いて塗布され(ステップS17)、その後、補強樹脂5の硬化が行われる(ステップS18)。尚、補強樹脂5は、光や熱により硬化する樹脂、あるいは、自然に硬化する樹脂であってもよい。補強樹脂5を設けることにより、第1チップ部品3a, 3bおよび第2チップ部品4により構成される構造が補強され、回路基板1の信頼性が向上する。
- [0039] 以上の工程を経ることにより、第1チップ部品3a, 3bおよび第2チップ部品4の実装が完了し、はんだ70aにより基板2上に第1チップ部品3a, 3bが実装され、はんだ70bにより第1チップ部品3a, 3b上に第2チップ部品4が実装された回路基板1が得られる(図1、図2および図5C参照)。
- [0040] 図6は、回路基板1を製造する際のチップ部品の他の実装方法を示すフローチャートであり、図6では、図3のステップS13が省略され、ステップS16に代えてステップS16aが実行される。また、図7Aおよび図7Bは図6に示す方法による実装の様子を示す図である。

- [0041] 図6に示すチップ部品の実装方法では、まず、図3の場合と同様に基板2の電極23上に第1はんだ71が付与され、第1はんだ71を介して基板2上に第1チップ部品3a, 3bが装着される(ステップS11, S12)。続いて、図7Aに示すように、第1チップ部品3a, 3bの電極31上に第2はんだ72が付与され、図7Bに示すように第2はんだ72上に第2チップ部品4の電極41が位置するように、より具体的には、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように、第1チップ部品3a, 3bの基板2とは反対側に第2チップ部品4が装着される(ステップS14, S15)。
- [0042] そして、基板2がリフロー装置へと搬入され、第1はんだ71および第2はんだ72の溶融および冷却による凝固が行われ、はんだ70aを介して基板2の電極23上に第1チップ部品3a, 3bの電極31が電氣的に接合されて固定されるとともに、はんだ70bを介して第1チップ部品3a, 3bの電極31上に第2チップ部品4の電極41が電氣的に接合されて固定され、図5Cに示す回路基板1が得られる(ステップS16a)。その後、補強樹脂5の塗布および補強樹脂の硬化が行われ、回路基板1が完成する(図3:ステップS17, S18)。
- [0043] 図6に示すように、第1チップ部品3a, 3bの基板2への固定と、第2チップ部品4の第1チップ部品3a, 3bへの固定、すなわち、第1チップ部品3a, 3bおよび第2チップ部品4の実装は、一括して行われてもよく、これにより、実装作業を効率よく行うことができる。
- [0044] 図8は、チップ部品のさらに他の実装方法を示すフローチャートであり、図3のステップS14, S15に代えて行われる工程を示している。また、図9Aおよび図9Bは、図8に示す方法における第2チップ部品4の実装の様子を示す図である。
- [0045] 図8に示すチップ部品の実装方法では、まず、図3の場合と同様に基板2上に第1チップ部品3a, 3bが実装され(図3:ステップS11〜S13)、その後、図9Aに示すように、第1チップ部品3a, 3bの電極31上に、粘着性のフラックス73が微細なノズルを用いて、あるいはスクリーン印刷により、付与される(ステップS14a)。続いて、図9Bに示すように、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するようにして、第2

チップ部品4がフラックス73上に装着されて、仮固定される(ステップS15a)。ここで、第2チップ部品4としては、電極41上には、メッキやディップ等の手法によりはんだ層43がプリコートとして形成されたものが利用される。

[0046] そして、基板2がリフロー装置へと搬入され、高温槽によりはんだ層43が溶融され、その後、冷却することにより、はんだ層43が図5Cに示すようにはんだ70bとなって、第1チップ部品3a, 3bの電極31と第2チップ部品4の電極41とが電氣的に接合されるとともに機械的に固定される。これにより、第2チップ部品4が第1チップ部品3a, 3b上に実装される(図3:ステップS16)。なお、基板2上の第2チップ部品4以外の領域への影響を最小限に抑えるため、はんだ層43を溶融させる際に、第2チップ部品4を含む基板2上の一部の領域のみが、熱風や光を用いて局所的に加熱されてもよい。その後、補強樹脂5の塗布および補強樹脂の硬化が行われ、回路基板1が完成する(ステップS17, S18)。

[0047] ここで、図6に示したチップ部品の実装方法におけるステップS14, S15が、図8に示すステップS14a, S15aに置き換えられてもよい。すなわち、第1チップ部品3a, 3bが第1はんだ71を介して基板2上に装着され、はんだ層43を有する第2チップ部品4が粘着性のフラックスを介して第1チップ部品3a, 3b上に装着された後に一括してリフローが行われてもよい。

[0048] はんだ層43がプリコートされた第2チップ部品4を用いることにより、実装作業を簡素化することができる。なお、第1チップ部品3a, 3bが、はんだ層がプリコートされたものであってもよく、第1チップ部品3a, 3bと第2チップ部品4との間のはんだ70bは、接合前において、第1チップ部品3a, 3bの電極31上に形成されたはんだ層、または、第2チップ部品4の電極41上に形成されたはんだ層のいずれであってもよい。

[0049] 図10は、回路基板1を製造する際のチップ部品のさらに他の実装方法を、第1チップ部品3a, 3bおよび第2チップ部品4の実装に注目して示すフローチャートである。図11Aから図11D、並びに図12Aから図12Cは、第1チップ部品3a, 3bおよび第2チップ部品4の実装の様子を示す図である。

[0050] 図10に示すチップ部品の実装方法では、まず、図11Aに示すように、第1チップ部品3a, 3bのそれぞれが保持用ブロック90の凹部91に挿入され、凹部91の底面に形

成された吸引口92から吸引が行われることにより、これらの部品が保持される(ステップS21)。第1チップ部品3a, 3bのそれぞれが凹部91に挿入されて保持される際に、これらの部品の挿入が容易に行え、かつ、正確に位置決めできるように、凹部91の断面形状は底に向かって幅が小さくなるテーパ状となっている。第1チップ部品3a, 3bを保持する際の両チップ部品の間隔は、図1における間隔と同じである。図11Bに示すように、第1チップ部品3a, 3bの電極31上には、ペースト状のはんだ(以下、「第1はんだ」という。)74が、スクリーン印刷またはノズルを用いて付与される(ステップS22)。保持用ブロック90を利用することにより、はんだの付与を容易に行うことができる。

[0051] 続いて、図11Cに示すように、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように、第2チップ部品4が第1チップ部品3a, 3b上の第1はんだ74上に装着される(ステップS23)。

[0052] そして、保持用ブロック90がリフロー装置へと搬入され、第1はんだ74を加熱して溶融させた後、冷却することにより、図11Dに示すように、第1はんだ74が固体のはんだ70bとなって、第1チップ部品3a, 3bの電極31上に第2チップ部品4の電極41が電氣的に接合されるとともに機械的に固定される。これにより、第1チップ部品3a, 3bおよび第2チップ部品4がブリッジ状に固定されたチップ部品構造体10が形成される(ステップS24)。

[0053] 次に、図12Aに示すように、基板2の電極23上に、ペースト状のはんだ(以下、「第2はんだ」という。)75が付与され(ステップS25)、図12Bに示すように、第2はんだ75上に、第1チップ部品3a, 3b側を基板2に向けてチップ部品構造体10が基板2上に装着される(ステップS26)。このとき、必要に応じて、他のチップ部品81, 82やパッケージ化された電子部品(図示省略)等も、チップ部品構造体10と同様に第2はんだ75上に装着される。

[0054] そして、基板2がリフロー装置へと搬入され、第2はんだ75が加熱されて溶融し、さらに冷却により図12Cに示すように、固体のはんだ70aとなって、基板2の電極23上にチップ部品構造体10の第1チップ部品3a, 3bの電極31が電氣的に接合されると

ともに機械的に固定される。これにより、チップ部品構造体10が基板2に実装される(ステップS27)。他のチップ部品81, 82やパッケージ化された電子部品(図示省略)等も、チップ部品構造体10と同様に基板2に実装される。

[0055] なお、第2はんだ75を溶融させる際に、一旦固化したはんだ70bが再溶融してもよいが、再溶融が好ましくない場合には、はんだ70b、すなわち第1はんだ74の再溶融温度よりも低い融点を有する第2はんだ75が使用され、2回目のリフロー温度は、第2はんだ75は溶融するがはんだ70bは再溶融しない温度とされる。

[0056] その後、補強樹脂5の塗布および補強樹脂の硬化が行われ、回路基板1が完成する(ステップS28, S29、図5D参照)。

[0057] 以上の工程を経ることにより、第1チップ部品3a, 3bおよび第2チップ部品4の実装が完了し、はんだ70aを介して基板2上に第1チップ部品3a, 3bが実装され、はんだ70bを介して第1チップ部品3a, 3b上に第2チップ部品4が実装された回路基板1(図1、図2および図12C参照)が得られる。

[0058] 図13は、チップ部品のさらに他の実装方法を示すフローチャートであり、図10のステップS22, S23に代えて行われる工程を示している。また、図14Aおよび図14Bは図13に示す方法におけるチップ部品構造体10を形成する様子を示す図である。

[0059] 図13に示すチップ部品の実装方法では、まず、図10の場合と同様に第1チップ部品3a, 3bが保持用ブロック90に保持され(図10:ステップS21)、その後、図14Aに示すように、第1チップ部品3a, 3bの電極31上に、粘着性のフラックス76が微細なノズルを用いて、あるいはスクリーン印刷により、付与される(図13:ステップS22a)。続いて、図14Bに示すように、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するようにして、第2チップ部品4がフラックス76上に装着されて、仮固定される(ステップS23a)。ここで、第2チップ部品4としては、電極41上にははんだ層43が形成されたものが利用される。

[0060] そして、保持用ブロック90がリフロー装置へと搬入され、高温槽によりはんだ層43が溶融され、その後、冷却することにより、はんだ層43が図11Dに示すようにはんだ70bとなって、第1チップ部品3a, 3bの電極31と第2チップ部品4の電極41とが電気

的に接合されるとともに機械的に固定される。これにより、第2チップ部品4が第1チップ部品3a, 3b上に実装され、チップ部品構造体10が形成される(図11:ステップS24)。はんだ層がプリコートされた第2チップ部品4を用いることにより、チップ部品構造体10の形成作業が簡素化される。以後、図10の場合と同様に、チップ部品構造体10が基板2上に実装されて回路基板1が製造される(ステップS25〜S29)。

- [0061] 以上、回路基板1の構造およびチップ部品の実装方法について説明してきたが、回路基板1では、第1チップ部品3a, 3b上に第2チップ部品4が積み重ねるようにして立体的に実装される。これにより、実装に利用される空間を有効に活用して、チップ部品を基板2上に高密度に実装することができ、回路基板1を小型化することができる。
- [0062] 例えば、図15Aに示すように、第1チップ部品3a, 3b、第2チップ部品4、および他のパッケージ化された電子部品85, 86を基板2に実装した場合、第1チップ部品3a, 3bおよび第2チップ部品4の上に空間が余る状態になり、実装に必要な空間が大きくなる。これに対して、図15Bに示す回路基板1のように、第1チップ部品3a, 3b上に第2チップ部品4を実装した場合、第2チップ部品4の上面の高さがパッケージ化された電子部品85, 86の高さ程度に納まることにより、基板2上の空間を有効活用してチップ部品を高密度に実装することができ、回路基板1の厚さを大幅に増すことなく、回路基板1の面積を小さくすることができる。
- [0063] また、回路基板1では、第1チップ部品3aと第1チップ部品3bの基板2上における高さがほぼ等しいため、第2チップ部品4を第1チップ部品3a, 3b上に安定して積み重ねることができる。これにより、実装不良を抑えることができ、回路基板1の信頼性を高めることができる。
- [0064] 図16から図22は、基板2上にチップ部品が積層される回路基板1の他の例を示す図であり、それぞれ図2と同様に、3方向から見た様子をまとめて示しており、正面図を左下に、平面図を左上に、側面図を右下に示している。また、これらの図では、はんだ70a, 70bの輪郭を破線で示しており、図16から図19では、右下部においてははんだ70bの図示を省略し、左下部においてははんだ70aの図示を省略し、左上部においてははんだ70a, 70bおよび基板2上の配線の図示を省略している。さらに、積層さ

れるチップ部品は実際には補強樹脂にて覆われる。

- [0065] 図16に示す回路基板1では、2つの第1チップ部品3a, 3bおよび2つの第2チップ部品4a, 4bが、基板2の表面に対して垂直な方向に2段に積み重ねてブリッジ状に立体的に実装されている。図16に示す例では、第1チップ部品3a, 3bはチップコンデンサであり、第2チップ部品4a, 4bはチップ抵抗器である。第1チップ部品3a, 3bは、図2と同様に、基板2上に長手方向が平行となるように並んで配置され、それぞれの電極31が基板2の電極23上にはんだ70aを介して接合されることにより実装される。また、基板2上において第1チップ部品3a, 3bの高さはほぼ等しくなっている。
- [0066] 第2チップ部品4a, 4bは、第1チップ部品3a, 3b上にはんだ70bを介して実装されている。第2チップ部品4aは、一方の電極41が第1チップ部品3aの一方の電極31に接合され、他方の電極41が第1チップ部品3bの一方の電極31に接合されている。第2チップ部品4bは、一方の電極41が第1チップ部品3aの他方の電極31に接合され、他方の電極41が第1チップ部品3bの他方の電極31に接合されている。図16に示すように、2つの第1チップ部品3a, 3b上に実装される第2チップ部品は、2つであってもよく、これにより、さらなる高密度実装が実現される。また、第2チップ部品の数や配置を変更して第1チップ部品と第2チップ部品との接続関係を容易に変更することができ、回路の設計変更にも柔軟に対応することができる。
- [0067] 図17に示す回路基板1では、2つの第1チップ部品3a, 3bが第2チップ部品4a, 4bよりも相対的に大きいという点を除いて図16の場合と同様である。すなわち、第1チップ部品3a, 3bの電極31が基板2の電極23上に接合されて固定されることにより、第1チップ部品3a, 3bは、それぞれ基板2上にはんだ70aを介して長手方向が平行となるように長手方向に対して垂直な方向に並んで実装され、第2チップ部品4a, 4bの電極41が第1チップ部品3a, 3bの電極31上に接合されて固定されることにより、第2チップ部品4a, 4bは、それぞれ第1チップ部品3a, 3b上にはんだ70bを介して、その長手方向が第1チップ部品3a, 3bの長手方向に直交するようにして、平行に並んで実装される。このように、第1チップ部品の高さがほぼ等しくされるのであるならば、第1チップ部品や第2チップ部品として様々な大きさものが用いられてよい。
- [0068] 図18に示す回路基板1では、図2の場合と同様に、2つの第1チップ部品3a, 3bが

、基板2上にその長手方向が平行となるように並んで配置され、それぞれの電極31が基板2の電極23にはんだ70aを介して接合されることにより実装される。そして、2つの第1チップ部品3a, 3b上に、すなわち、基板2の表面に対して垂直な方向に2段に積み重なるように第2チップ部品4がはんだ70bを介して立体的に実装されている。ここで、第2チップ部品4は、図2に示すものよりも大きなものとされ、一方の電極41が第1チップ部品3aの2つの電極31の両方に接続され、他方の電極41が第1チップ部品3bの2つの電極31の両方に接続される。このように、積層されるチップ部品間において、1つの電極が2つの電極に接続されてもよい。

[0069] 図19および図20は、図2に示す回路基板1に対して第1チップ部品3a, 3bの配置を変えたものを例示する図である。なお、図20では、はんだ70a, 70bを左下部に示している。図19は、図2に示す第1チップ部品3a, 3bのうち、一方をその長手方向に沿って移動させ、第1チップ部品3aと第1チップ部品3bとを長手方向にずらして配置した場合を示し、図20は、2つの第1チップ部品3a, 3bを一直線上に配列したものを示している。図19および図20に示す回路基板1では、第1チップ部品3a, 3bの配置が異なるという点を除いて図2に示すものと同様であり、同符号を付している。

[0070] すなわち、基板2の電極23上に第1チップ部品3a, 3bの電極31がはんだ70aを介して固定されることにより第1チップ部品3a, 3bが実装され、第1チップ部品3a, 3bの電極31上に第2チップ部品4の電極41がはんだ70bを介して固定されることにより第2チップ部品4が実装される。また、第2チップ部品4の一方の電極41は第1チップ部品3aの電極31に接合され、他方の電極41は第1チップ部品3bの電極31に接合される。このように、第2チップ部品4の電極を異なる第1チップ部品3a, 3bにそれぞれ接合したブリッジ構造により、チップ部品の向きや相対的な位置関係を容易に変更することが可能とされる。

[0071] 図21に回路基板1では、1つの第1チップ部品3および1つの第2チップ部品4が、それぞれの長手方向を一致させて、基板2の表面に対して垂直方向に2段に積み重ねて立体的に実装されている。図21に示す例では、第1チップ部品3はチップコンデンサであり、第2チップ部品4はチップ抵抗器であり、第1チップ部品3と第2チップ部品4とは異なるサイズである。

- [0072] 図21に示す回路基板1においても、第1チップ部品3が基板2の電極23上に、はんだ70aを介して実装され、第2チップ部品4が第1チップ部品3の電極31上にはんだ70bを介して実装される。すなわち、第2チップ部品4は、一方の電極41が第1チップ部品3の一方の電極31に接続され、他方の電極41は、第1チップ部品3の他方の電極31に接続される。このように、第1チップ部品3と第2チップ部品4とはそれぞれ1つであってもよい。この場合であっても、大きさまたは機能が異なる異種部品を積み上げることにより、回路基板1上の様々な箇所での回路構造の立体化を促進することができ、回路基板1の小型化が実現される。
- [0073] 図22に示す回路基板1では、第2チップ部品4として多連型のチップ部品が利用される。図22では、第2チップ部品4として4つの電極41を有するものが例示されている。第1チップ部品3a, 3bの配置は、図2の場合と同様である。第1チップ部品3a, 3bは、電極31が基板2の電極23に接合されることによりはんだ70aを介して実装され、第2チップ部品4は、各電極41が2つの第1チップ部品3a, 3bの各電極31にはんだ70bを介して接合されることにより第1チップ部品3a, 3b上に実装される。このように、チップ部品としては多連型のものが用いられてもよく、電極の数は2つには限定されない。なお、第1チップ部品として多連型のチップ部品が用いられてもよい。
- [0074] 図16から図22に示す回路基板1は、いずれも図3、図6、図8、図10または図13に示した方法によって製造することができる。そして、第2チップ部品を第1チップ部品上に基板2に対して垂直な方向に積み重ねるようにして実装することにより、図1および図2に示す回路基板1と同様に、実装に利用される空間を有効に利用することができ、回路基板1の小型化が実現される。さらに、異種部品を積み上げて、すなわち、基板2上に実装される少なくとも1つの第1チップ部品に含まれる一の第1チップ部品と、この第1チップ部品の電極に接合される第2チップ部品とを異種部品とすることにより、回路構造の柔軟な立体化が実現され、回路基板1の大幅な小型化が実現される。
- [0075] 以上、本発明の実施の形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、様々な変形が可能である。
- [0076] 基板2上に実装される第1チップ部品や第1チップ部品上に実装される第2チップ

部品は、典型的には、チップ抵抗器、チップコンデンサまたはチップインダクタであるが、他の機能を有するチップ部品であってもよく、また、既述のように、多連チップ抵抗器、チップ形ネットワーク等の多連型のチップ部品であってもよい。多連型のチップ部品は、同種のチップ部品を連結したものであってもよく、異種のチップ部品を連結したものであってもよい。なお、多連型のチップ部品の場合は、電極は必ずしも長手方向の端部には存在しない。さらに、メルフ形抵抗器や円筒形チップ抵抗器のように略直方体ではないチップ部品が利用されてもよい。

[0077] 第1チップ部品および第2チップ部品の大きさは様々なものであってもよいが、通常、長さが2mm以下の微細なチップ部品は1つの基板に多数実装され、かつ、これらのチップ部品の高さは通常1mm以下であり、2段に積層する程度では回路基板の高さに影響を与えない。したがって、チップ部品の積み重ねは、長さが2mm以下の微細なチップ部品に対して行われることが好ましいといえる。

[0078] 上記実施の形態では、ペースト状のはんだを用いて基板2上に第1チップ部品が実装されるが、第1チップ部品にプリコーティングにより形成されたはんだ層を設けてはんだ層を利用した実装が行われてもよい。さらには、銀ペースト、導電性樹脂などの導電性の他の接合材料を用いて第1チップ部品の実装や第2チップ部品の実装が行われてもよい。また、例えば、熱硬化性の接着樹脂を用いる場合のように、チップ部品の装着と固定とが同時に行われてもよい。この場合、装着時点でチップ部品の実装が完了することとなる。

[0079] 第1チップ部品および第2チップ部品は3以上であってもよく、これらのチップ部品は様々な配置されてよい。すなわち、複数の第1チップ部品が基板2に実装され、少なくとも1つの第2チップ部品が第1チップ部品の上に実装され、このとき、少なくとも1つの第2チップ部品に含まれるチップ部品の一方の電極が一の第1チップ部品の電極に接合され、他方の電極が他の第1チップ部品の電極に接合されることにより、回路構造が高度に立体化され、チップ部品の高密度実装が実現される。また、第2チップ部品を支える2つの第1チップ部品の基板上における高さをほぼ等しくすることにより、安定した構造が形成される。回路基板1上には第1チップ部品および第2チップ部品を2段に積み重ねて実装した構造以外に、チップ部品を3段以上に積み重ねて

実装した構造が設けられてもよい。

[0080] 第2実施形態；

図23は、本発明の第2の実施の形態に係る回路基板201の一部を示す斜視図である。図24は、図23に示す構造の3方向から見た様子をまとめて示す図であり、正面図を左下に、平面図を左上に、側面図を右下に示している。

[0081] 図23および図24では、チップ部品アセンブリに相当する回路基板201が、基板202と、基板202上の2つのチップ部品（以下、「第1チップ部品」という。）203a, 203bと、第1チップ部品203a, 203b上の補助基板211と、補助基板211上の1つのチップ部品（以下、「第2チップ部品」という。）204とを備える様子を示しており、第1チップ部品203a, 203b、補助基板211および第2チップ部品204が、接合材料の一例であるはんだ270c, 270a, 270bを順に介して、基板202の表面に対して垂直な方向に2段に積み重ねられて立体的に実装されている。なお、第1チップ部品の側面でははんだが上下に連続しており、このはんだの下部をはんだ270cと呼び、上部をはんだ270aと呼んでいる。

[0082] また、回路基板201の構造を明瞭に示すために、図23において、補助基板211およびはんだ270a, 270b, 270cの輪郭を破線で示し、図24において、はんだ270a, 270b, 270cの輪郭を破線で示し、図24の右下部でははんだ270bの図示を省略し、左下部でははんだ270a, 270cの図示を省略し、左上部でははんだ270a, 270b, 270cおよび基板202上の配線の図示を省略している。後述するように実際には第1チップ部品203a, 203b、補助基板211および第2チップ部品204は接合を補強するための補強樹脂にて覆われている。

[0083] 基板202は、図23に示すように基板本体221の表面に導体の配線パターン222が形成された、いわゆる配線基板であり、配線パターン222の一部が電子部品の電極と接合される電極223となっている。基板本体221は、ガラスエポキシ樹脂やポリイミド樹脂等の樹脂あるいはセラミックにより板状またはフィルム状に形成されており、配線パターン222および電極223は、銅により形成されている。

[0084] 第1チップ部品203a, 203bおよび第2チップ部品204は、表面実装技術においてパッケージ部品と対比されるいわゆるチップ部品である。チップ部品は典型的には長

手方向の両端に電極を備えた略直方体状(角形)または円筒状の電子部品であるが、その他のチップ部品として、多数の微小部品をまとめた多連型(または、ネットワーク型)のチップ部品も知られている。

[0085] 補助基板211には、図24に示すように一方の主面に複数の電極2101が形成されるとともに他方の主面、つまり上記一方の主面の裏側の面に複数の電極2102が形成され、第1チップ部品203a、203bと第2チップ部品204との電氣的接合用の基板(インターポーザとも呼ばれる。)である。電極2101と電極2102とは、図示省略の配線パターンやビア等により電氣的に接続されており、その接続関係は、回路基板201上に形成する回路に合わせて様々なものとされる。補助基板211は、基板202と同様に、ガラスエポキシ樹脂やポリイミド樹脂等の樹脂あるいはセラミックにより板状またはフィルム状に形成されており、電極2101、2102は、銅により形成されている。

[0086] 図23および図24では、第1チップ部品203a、203bはそれぞれ両端に電極231を備えた略直方体の同サイズのチップコンデンサであり、例えば、それぞれ長さが約0.6mm、幅が約0.3mm、厚さ(高さ)が約0.3mmである。そして、電極231がはんだ270cにより基板202の電極223に接合されることにより、第1チップ部品203a、203bが基板202上にはんだ270cを介して実装されている。

[0087] 第1チップ部品203aと第1チップ部品203bとは、平行に並んでおり、すなわち、両チップ部品203a、203bの長手方向が同じ方向を向き、かつ、長手方向に垂直な方向に並んでおり、基板202上における両チップ部品203a、203bの高さがほぼ等しくされている。なお、基板202上における高さがほぼ等しいとは、チップ部品の製造誤差や実装誤差に起因する高さの差を無視すると、高さが等しいことを意味する。第1チップ部品203aと第1チップ部品203bとの間の間隙は、例えば約0.2mmとされる。

[0088] 補助基板211は、第1チップ部品203a、203b上に、すなわち、第1チップ部品203a、203bの基板202とは反対側に、はんだ270aを介して実装されており、電極2101が第1チップ部品203a、203bの電極231にはんだ270aにより接合される。すなわち、第1チップ部品203a、203bは、基板202と補助基板211との間に存在して、基板202と補助基板211の両方に接合される。ここで、基板202と補助基板211との間

に存在する電子部品は、第1チップ部品203a, 203bのみとされる。

[0089] 第2チップ部品204は、第1チップ部品203a, 203bとは異種の部品あり、両端に電極241を備え、電極241間に抵抗体242(図23参照)を有する略直方体のチップ抵抗器である。第2チップ部品204は、第1チップ部品203a, 203bとほぼ同じサイズであり、長さが約0.6mm、幅が約0.3mm、厚さ(高さ)が約0.25mmとなっている。第2チップ部品204は、補助基板211上に、すなわち、補助基板211の第1チップ部品203a, 203bとは反対側に、はんだ270bを介して実装されており、電極241が補助基板211の電極2102にはんだ270bにより接合される。

[0090] 第2チップ部品204は、補助基板211の電極2101, 2102、配線、ビア等を介して、例えば、一方の電極241が第1チップ部品203aの電極231と電氣的に接続され、他方の電極241が第1チップ部品203bの電極231と電氣的に接続される。第2チップ部品204に接続されない2つの電極231は互いに接続される。尚、接続されない場合もあり、この場合、接合される電極2101はダミー電極となる。これにより、第1チップ部品203a, 203bおよび第2チップ部品204を、補助基板211およびはんだ270a, 270b, 270cを介して、基板202の表面に対して垂直な方向に2段に積み重ねて立体的に実装するとともに、基板202と補助基板211との間に第1チップ部品203a, 203bのみを配置した構造が構成される。なお、図示を省略しているが、回路基板201には、第1チップ部品203a, 203bの周囲に他のチップ部品やパッケージ化された電子部品等が実装されている。

[0091] 図25は、回路基板201を製造する際のチップ部品の実装方法を、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204の実装に注目して示すフローチャートである。また、図26Aから図26E、並びに図27Aから図27Dは、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204の実装の様子を示す図である。以下、回路基板201を製造する際のチップ部品の実装方法について説明する。

[0092] まず、図26Aに示すように、補助基板211の一の主面(以下、「第1主面」という。)2111の各電極2101上に、ペースト状のはんだ(以下、「第1はんだ」という。)271がスクリーン印刷により付与される(ステップS211)。第1はんだ271は、いわゆるクリーム

はんだであり、粉末状のはんだと粘性を有するフラックスとを混合してペースト状にしたものである。続いて、図26Bに示すように、補助基板211上の第1はんだ271上に第1チップ部品203a, 203bが装着される(ステップS212)。

[0093] そして、補助基板211がリフロー装置へと搬入され、高温槽により第1はんだ271が加熱されて熔融し、フラックス成分が揮発してはんだ成分のみが残存し、その後、冷却により第1はんだ271を凝固させることにより、第1チップ部品203a, 203bの電極231上に広がる固体のはんだ270a(上下が反転された図26C参照)となって、補助基板211の電極2101上に第1チップ部品203a, 203bの電極231が電氣的に接合されるとともに機械的に固定される(ステップS213)。

[0094] 次に、図26Cに示すように、第1チップ部品203a, 203bが固定された補助基板211が上下反転され、補助基板211の第1主面2111とは反対側の主面(以下、「第2主面」という。)2112の各電極2102上に、ペースト状のクリームはんだ(以下、「第2はんだ」という。)272が、スクリーン印刷または微細なノズルを用いて付与される(ステップS214)。続いて、図26Dに示すように、補助基板211上の第2はんだ272上に第2チップ部品204が装着される(ステップS215)。

[0095] そして、補助基板211がリフロー装置へと搬入され、高温槽により第2はんだ272を加熱して熔融させた後冷却することにより、図26Eに示すように、第2はんだ272が固体のはんだ270bとなって、補助基板211の電極2102上に第2チップ部品204の電極241が電氣的に接合されるとともに機械的に固定される。これにより、第1チップ部品203a, 203bが補助基板211の第1主面2111に固定され、第2チップ部品204が補助基板211の第2主面2112に固定されたチップ部品構造体210が形成される(ステップS216)。

[0096] 次に、図27Aに示すように、基板202の電極223上に、ペースト状のはんだ(以下、「第3はんだ」という。)273がスクリーン印刷または微細なノズルを用いて付与される(ステップS221)。続いて、図27Bに示すように、基板202上の第3はんだ273上に、第1チップ部品203a, 203b側を基板202に向けてチップ部品構造体210が装着される(ステップS222)。このとき、必要に応じて、他のチップ部品281, 282やパッケージ化された電子部品(図示省略)等も、チップ部品構造体210と同様に第3はんだ

273上に装着される。なお、第1チップ部品203aと第1チップ部品203bの補助基板211上における高さ(基板202上の高さでもある。)がほぼ等しくされるため、補助基板211を水平にしてチップ部品構造体210を安定して装着することができる。

[0097] そして、基板202がリフロー装置へと搬入され、高温槽により第3はんだ273を加熱して溶融させた後冷却することにより、図27Cに示すように、第3はんだ273が固体のはんだ270cとなって、基板202の電極223上にチップ部品構造体210の第1チップ部品203a, 203bの電極231が電氣的に接合されるとともに機械的に固定される(ステップS223)。これにより、チップ部品構造体210が基板202に実装される。他のチップ部品281, 282やパッケージ化された電子部品(図示省略)等も、チップ部品構造体210と同様に基板202に実装される。

[0098] その後、図27Dに示すように第1チップ部品203a, 203b、補助基板211、および第2チップ部品204を覆うように、アンダーフィルのみであってもよく、少なくとも電極同士の接合部を覆うように、電極同士の接合を補強するための補強樹脂205がノズルを用いて塗布され(ステップS224)、補強樹脂205の硬化が行われる(ステップS225)。尚、補強樹脂205は、光や熱により硬化する樹脂、あるいは、自然に硬化する樹脂であってもよい。これにより、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204により構成される構造が補強され、回路基板201の信頼性が向上する。

[0099] 以上の工程を経ることにより、チップ部品の実装が完了し、はんだ270cにより基板202上に第1チップ部品203a, 203bが実装され、はんだ270cと連続するはんだ270aにより第1チップ部品203a, 203b上に補助基板211が実装され、はんだ270bにより補助基板211上に第2チップ部品204が実装され、さらに、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204が補強樹脂205により補強された回路基板201が得られる(図23、図24および図27D参照)。

[0100] なお、第2はんだ272を溶融させる際に一旦固化したはんだ270aが再溶融してもよいが、再溶融が好ましくない場合には、はんだ270a、すなわち第1はんだ271、の再溶融温度よりも低い融点を有する第2はんだ272が使用され、2回目のリフロー温度は、第2はんだ272は溶融するがはんだ270aは再溶融しない温度とされる。同様

に、第3はんだ273を溶融させる際に一旦固化したはんだ270a, 270bが再溶融してもよいが、再溶融が好ましくない場合には、はんだ270a, 270b、すなわち第1はんだ271および第2はんだ272、の再溶融温度よりも低い融点を有する第3はんだ273が使用され、3回目のリフロー温度は、第3はんだ273は溶融するがはんだ270a, 270bは再溶融しない温度とされる。

[0101] また、チップ部品構造体210を基板202に実装する際には、チップ部品構造体210を含む微小な領域が熱風や光を用いて局所的に加熱されてもよい。これにより、他の領域への影響を最小限に抑えつつ、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204を実装することができる。

[0102] 図28は、回路基板201を製造する際のチップ部品の他の実装方法を、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204の実装に注目して示すフローチャートである。また、図29Aから図29Eは、第1チップ部品203a, 203b、補助基板211、および第2チップ部品204の実装の様子を示す図である。

[0103] 図28に示すチップ部品の実装方法では、まず、図27Aと同様に、基板202の各電極223上に、ペースト状のはんだ(以下、「第1はんだ」という。)274(図27Aにおける符号273を符号274に置き換えるものとする。)がスクリーン印刷により付与される(ステップS231)。続いて、図29Aに示すように、基板202上の第1はんだ274上に第1チップ部品203a, 203bが装着される(ステップS232)。このとき、必要に応じて、他のチップ部品281, 282やパッケージ化された電子部品(図示省略)等も、第1チップ部品203a, 203bと同様に第1はんだ274上に装着される。

[0104] 次に、図29Bに示すように、第1チップ部品203a, 203bの電極231上に、ペースト状のはんだ(以下、「第2はんだ」という。)275がスクリーン印刷または微細なノズルを用いて付与される(ステップS233)。続いて、図29Cに示すように、第1チップ部品203a, 203bの第2はんだ275上に、補助基板211が装着される(ステップS234)。このとき、補助基板211は、第1主面2111の各電極2101が第2はんだ275上に位置するように装着される。なお、第1チップ部品203aと第1チップ部品203bの基板202上における高さはほぼ等しいため、補助基板211を第1チップ部品203a, 203b上に安定して積み重ねることができる。

- [0105] 次に、図29Dに示すように、補助基板211の第2主面2112の各電極2102上に、ペースト状のはんだ(以下、「第3はんだ」という。)276がスクリーン印刷または微細なノズルを用いて付与される(ステップS235)。続いて、図29Eに示すように、補助基板211上の第3はんだ276上に第2チップ部品204が装着される(ステップS236)。
- [0106] 基板202はリフロー装置へと搬入され、基板202全体にリフロー処理が施される(ステップS237)。すなわち、高温槽により第1はんだ274、第2はんだ275および第3はんだ276を一括して加熱して熔融させた後、冷却することにより、第1はんだ274、第2はんだ275および第3はんだ276が固化される。これにより、図27Cおよび図24に示したものと同様の構造が得られる。すなわち、図24に示すように、第1はんだ274が固体のはんだ270cとなって、基板202の電極223上に第1チップ部品203a、203bの電極231が電氣的に接合されるとともに機械的に固定され、第2はんだ275が固体のはんだ270aとなって、第1チップ部品203a、203bの電極231上に補助基板211の電極2101が電氣的に接合されるとともに機械的に固定され、第3はんだ276が固体のはんだ270bとなって、補助基板211の電極2102上に第2チップ部品204の電極241が電氣的に接合されるとともに機械的に固定される。図29Eおよび図27Cに示すように、他のチップ部品281、282やパッケージ化された電子部品(図示省略)等も、第1はんだ274が固体のはんだ270cとなって、基板202に実装される。
- [0107] その後、図27Dに示すように、第1チップ部品203a、203b、補助基板211、および第2チップ部品204を覆うように、電極同士の接合を補強するための補強樹脂205が塗布され(ステップS238)、補強樹脂205の硬化が行われる(ステップS239)。
- [0108] 以上の工程を経ることにより、第1チップ部品203a、203b、補助基板211、および第2チップ部品204が基板202側から順に積み上げられた回路基板201が得られる(図23、図24および図27D参照)。図28に示す実装方法の場合、第1チップ部品203a、203bの基板202への固定と、補助基板211の第1チップ部品203a、203bへの固定と、第2チップ部品204の補助基板211への固定とが一括して行われるため、実装作業を効率よく行うことができる。
- [0109] なお、第1チップ部品203a、203bの基板202への固定、補助基板211の第1チップ部品203a、203bへの固定、第2チップ部品204の補助基板211への固定は、そ

れぞれ個別に行われてもよい。すなわち、第1はんだ274、第2はんだ275および第3はんだ276のそれぞれが塗布される毎に、あるいは、いずれか2つのはんだのみに対して同時にリフローが行われてもよい。

[0110] 以上、回路基板201の構造およびチップ部品の実装方法について説明してきたが、回路基板201では、第1チップ部品203a, 203b上に第2チップ部品204が積み重なるようにして立体的に実装される。これにより、実装に利用される空間を有効に活用して、チップ部品を基板202上に高密度に実装することができ、回路基板201を小型化することができる。

[0111] 例えば、図30Aに示すように、第1チップ部品203a, 203b、第2チップ部品204、および他のパッケージ化された電子部品285, 286を基板202に実装した場合、第1チップ部品203a, 203bおよび第2チップ部品204の上に空間が余る状態になり、実装に必要な空間が大きくなる。これに対して、図30Bに示す回路基板201のように、第1チップ部品203a, 203b上に補助基板211を介して第2チップ部品204を実装した場合、第2チップ部品204の上面の高さがパッケージ化された電子部品285, 286の高さ程度に納まることにより、基板202上の空間を有効活用してチップ部品を高密度に実装することができ、回路基板201の厚さを大幅に増すことなく、回路基板201の面積を小さくすることができる。

[0112] また、回路基板201では、補助基板211を介して第1チップ部品203a, 203b上に第2チップ部品204を実装しているため、補助基板211の配線パターンや第2チップ部品204の配置によって第1チップ部品と第2チップ部品との接続関係を多様化することができ、回路設計の自由度が高まる。

[0113] さらに、基板202と補助基板211との間には基板202と補助基板211の両方に接合される第1チップ部品203a, 203bのみが配置され、補助基板211の大きさが必要最小限とされるため、従来のように基板の上に大きな別の基板が積層される場合に比べて回路基板の曲げに対する耐久性、および、回路基板の単位面積当たりの外力に対する強度を高くすることができる。これにより、回路基板201の信頼性を高めることができる。加えて、非常に微小な領域で回路基板201の多層化が行われるため、回路基板201上の多数の箇所でも局所的に簡易な設計変更を行うことが可能となる。

その結果、回路基板201の設計コストの増大を抑えつつ、チップ部品の高密度実装が実現される。

- [0114] 図31ないし図35は、基板202上にチップ部品が積層される回路基板201の他の例を示す図であり、それぞれ図24と同様に3方向から見た様子をまとめて示しており、正面図を左下に、平面図を左上に、側面図を右下に示している。また、これらの図では、補助基板211およびはんだ270a, 270b, 270cの輪郭を破線で示しており、補助基板211の電極の図示を省略している。図31から図34では、右下部においてはんだ270bの図示を省略し、左下部においてはんだ270a, 270cの図示を省略し、左上部においてはんだ270a, 270b, 270cおよび基板202上の配線の図示を省略している。さらに、積層されるチップ部品は必要に応じて補強樹脂にて覆われる。
- [0115] 図31に示す回路基板201では、2つの第1チップ部品203a, 203bおよび2つの第2チップ部品4a, 4bが、補助基板211を介して基板202の表面に対して垂直な方向に2段に積み重ねて立体的に実装されている。図31に示す例では、第1チップ部品203a, 203bはチップコンデンサであり、第2チップ部品204a, 204bはチップ抵抗器であり、第2チップ部品204a, 204bが2個であるという点を除いて図24と同様であり、同様の構成には同符号を付している(図32から図35においても同様)。なお、第1チップ部品203a, 203bの電極231と第2チップ部品204a, 204bの電極241との接続関係は、補助基板211の配線やビア等により任意に設定され、回路の設計変更柔軟に対応可能とされる。
- [0116] 図32に示す回路基板201では、2つの第1チップ部品203a, 203bが第2チップ部品204a, 204bよりも相対的に大きいという点を除いて図31の場合と同様である。図32に示すように、第1チップ部品の高さがほぼ等しくされるのであるならば、第1チップ部品や第2チップ部品として様々な大きさのものが用いられてよい。
- [0117] 図33に示す回路基板201では、2つの第1チップ部品203a, 203bおよび3つの第2チップ部品204a, 204b, 204cが、補助基板211を介して基板202の表面に対して垂直な方向に2段に積み重ねて立体的に実装されており、第2チップ部品が3個であるという点を除いて図32の場合と同様である。一方、図34に示す回路基板201では、2つの第1チップ部品203a, 203b上に補助基板211が実装され、補助基板2

11上に1つの大きな第2チップ部品204が実装される。このように、第2チップ部品は1個であってもよく、3個以上であってもよい。さらには、第2チップ部品が2列に配列されてもよい。なお、第2チップ部品が実装される向きも第1チップ部品と平行であってもよい。

[0118] 図35に示す回路基板201では、第2チップ部品204として多連型のチップ部品が利用される。図35では、第2チップ部品204として4つの電極241を有するものが例示されている。なお、図35では、左下部においてはんだ270a, 270b, 270cの図示を省略し、左上部においてはんだ270a, 270b, 270cおよび基板202上の配線の図示を省略している。第1チップ部品203a, 203bおよび補助基板211の配置は図24の場合と同様である。第1チップ部品203a, 203bは、はんだ270cを介して電極231が基板202の電極223に接合され、補助基板211は、第1チップ部品203a, 203b上にはんだ270aを介して実装される。第2チップ部品204は、補助基板211上にはんだ270bを介して実装され、各電極241が補助基板211の配線を介して、例えば、2つの第1チップ部品203a, 203bの各電極231に電氣的に接続される。このように、チップ部品としては多連型のものが用いられてもよく、チップ部品の電極の数は2つには限定されない。なお、第1チップ部品として多連型のチップ部品が用いられてもよい。

[0119] 図31から図35に示す回路基板201は、いずれも図25または図28に示した方法によって製造することができる。そして、補助基板211を挟んで第2チップ部品を第1チップ部品上に基板202に対して垂直な方向に積み重ねるようにして実装することにより、図23および図24に示す回路基板201と同様に、実装に利用される空間を有効に利用することができ、回路基板201の小型化が実現される。さらに、異種部品を積み上げて、すなわち、基板202上に実装される少なくとも1つの第1チップ部品に含まれる一の第1チップ部品と、この第1チップ部品の電極に接合される第2チップ部品とを機能の異なる異種部品とすることにより、局所的かつ柔軟に回路構造の立体化が実現され、回路基板201の大幅な小型化が実現される。

[0120] 以上、本発明の実施の形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、様々な変形が可能である。

- [0121] 基板202上に実装される第1チップ部品や補助基板211を介して第1チップ部品上に実装される第2チップ部品は、典型的には、チップ抵抗器、チップコンデンサまたはチップインダクタであるが、他の機能を有するチップ部品であってもよく、また、既述のように、多連チップ抵抗器、チップ形ネットワーク等の多連型のチップ部品であってもよい。ここで、上記多連型とは、同種のチップ部品を連結したものであってもよく、異種のチップ部品を連結したものであってもよい。なお、多連型のチップ部品の場合は、電極は必ずしも長手方向の端部には存在しない。さらに、メルフ形抵抗器や円筒形チップ抵抗器のように略直方体ではないチップ部品が利用されてもよい。
- [0122] 第1チップ部品および第2チップ部品の大きさは様々なものであってもよいが、通常、長さが2mm以下の微細なチップ部品は1つの基板に多数実装され、かつ、これらのチップ部品の高さは通常1mm以下であり、2段に積層する程度では回路基板の高さに影響を与えない。したがって、チップ部品の積み重ねは、長さが2mm以下の微細なチップ部品に対して行われることが好ましいといえる。
- [0123] 上記実施の形態では、ペースト状のはんだを用いて第1チップ部品、補助基板211、および第2チップ部品が実装されるが、基板202、第1チップ部品、補助基板211、または第2チップ部品にメッキやディップ等の手法によりプリコーティングされたはんだ層を設けておき、プリコーティングされたはんだ層を利用した実装が行われてもよい。このような実装を行うことにより、回路基板201の製造作業が簡素化される。さらには、銀ペースト、導電性樹脂などの導電性の他の接合材料を用いて第1チップ部品、補助基板211、または第2チップ部品の実装が行われてもよい。また、例えば、熱硬化性の接着樹脂を用いる場合のように、チップ部品の装着と固定とが同時に行われてもよい。この場合、装着時点でチップ部品の実装が完了することとなる。
- [0124] 第1チップ部品および第2チップ部品は3以上であってもよく、これらのチップ部品は様々な配置されてよい。すなわち、複数の第1チップ部品が基板202に実装され、少なくとも1つの第2チップ部品が補助基板211を介して第1チップ部品の上に実装され、このとき、基板202と補助基板211との間に存在する電子部品を第1チップ部品のみとすることにより、柔軟で局所的な多層化が実現される。
- [0125] 特に、第1チップ部品を2つにすることで、多くの箇所回路構造を簡易に部分的

に立体化することができ、これにより、回路構造の立体化が最も効率よく実現され、チップ部品の高密度実装が実現される。しかも、第1チップ部品を2つにすることで、回路基板201の歪みに対する補助基板211の歪を最小限に抑えることができ、回路基板201の信頼性が高められる。

[0126] なお、回路基板201上には第1チップ部品および第2チップ部品を2段に積み重ねて実装した構造以外に、複数の補助基板を挟んでチップ部品を3段以上に積み重ねて実装した構造が設けられてもよい。

なお、上記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

本発明は、添付図面を参照しながら好ましい実施形態に関連して十分に記載されているが、この技術の熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

産業上の利用可能性

[0127] 本発明は、配線パターンが形成された基板にチップ部品を実装する技術に利用することができる。

請求の範囲

- [1] チップ部品(3, 4)が実装された回路基板(1)であって、
配線パターン(22)が形成された基板(2)と、
前記基板上に導電性の接合材料(70a)を介して実装された、上記チップ部品に含まれる複数の第1チップ部品(3a, 3b)と、
前記複数の第1チップ部品において前記基板とは反対側に導電性の接合材料(70b)を介して実装された、上記チップ部品に含まれる第2チップ部品(4)と、
を備え、
前記複数の第1チップ部品に含まれる一の第1チップ部品(3a)および他の第1チップ部品(3b)の前記基板上における高さがほぼ等しく、前記第2チップ部品の一方の電極(41)が前記一の第1チップ部品の電極(31)に接合され、他方の電極(41)が前記他の第1チップ部品の電極(31)に接合される、回路基板。
- [2] 請求項1に記載の回路基板であって、
前記複数の第1チップ部品および前記第2チップ部品の長さが、2mm以下である、回路基板。
- [3] 請求項1に記載の回路基板であって、
前記複数の第1チップ部品および前記第2チップ部品が、抵抗器、コンデンサまたはインダクタである、回路基板。
- [4] 請求項1に記載の回路基板であって、
前記基板上において前記複数の第1チップ部品および前記第2チップ部品の接合部を覆う補強樹脂(5)をさらに備える、回路基板。
- [5] チップ部品(3, 4)が実装された回路基板(1)であって、
配線パターン(22)が形成された基板(2)と、
前記基板上に導電性の接合材料(70a)を介して実装された、上記チップ部品に含まれる第1チップ部品(3)と、
前記第1チップ部品において前記基板とは反対側に導電性の接合材料(70b)を介して実装された、上記チップ部品に含まれる第2チップ部品(4)と、
を備え、

前記第1チップ部品に含まれる第1チップ部品(3a)と、前記第1チップ部品の電極(31)に接合される第2チップ部品とが異種部品である、回路基板。

- [6] 配線パターン(22)が形成された基板(2)上にチップ部品(3, 4)を実装するチップ部品実装方法であって、

前記基板上における部品高さがほぼ等しく、導電性の接合材料(70a)を介して前記配線パターンに配置される、上記チップ部品に含まれる複数の第1チップ部品(3)に対して、前記基板とは反対側に、上記チップ部品に含まれる第2チップ部品(4)を配置するとき、前記第1チップ部品に含まれる一の第1チップ部品(3a)の電極(31)に前記第2部品の一方の電極(41)を導電性の接合材料(70b)を介して配置し、かつ前記第1チップ部品に含まれる他の第1チップ部品(3b)の電極(31)に前記第2部品の他方の電極(41)を導電性の接合材料(70b)を介して配置して部品実装を行う、チップ部品実装方法。

- [7] 請求項6に記載のチップ部品実装方法であって、

前記配線パターンに前記第1チップ部品を前記接合材料にて固定した後、前記第1チップ部品に前記第2チップ部品を前記接合材料にて固定するとき、前記第2チップ部品を含む前記基板上の一部の領域のみを加熱して固定する、チップ部品実装方法。

- [8] 請求項6に記載のチップ部品実装方法であって、

前記配線パターンと前記第1チップ部品(3)との前記接合材料による固定、及び、前記第1チップ部品と前記第2チップ部品との前記接合材料による固定を同工程にて行う、チップ部品実装方法。

- [9] 請求項6に記載のチップ部品実装方法であって、

前記第1チップ部品と前記第2チップ部品とを前記接合材料にて固定してチップ部品構造体(10)を形成した後、該チップ部品構造体に含まれる前記第1チップ部品の前記電極と前記配線パターンとを接触させ前記チップ部品構造体を前記基板上に前記接合材料にて固定する、チップ部品実装方法。

- [10] 請求項9に記載のチップ部品実装方法であって、

前記第1チップ部品と前記第2チップ部品とを前記接合材料にて固定するとき、前

記複数の第1チップ部品のそれぞれが、保持部(90)の凹部(91)に保持される、チップ部品実装方法。

- [11] 請求項6に記載のチップ部品実装方法であって、
前記複数の第1チップ部品と前記第2チップ部品との間の前記接合材料が、接合前において、前記複数の第1チップ部品の電極上に形成されたはんだ層(43)または前記第2チップ部品の電極上に形成されたはんだ層(43)である、チップ部品実装方法。
- [12] 請求項6に記載のチップ部品実装方法であって、
前記基板上において前記複数の第1チップ部品および前記第2チップ部品の接合部を補強樹脂(5)にて覆う工程をさらに備える、チップ部品実装方法。
- [13] チップ部品(203, 204)が実装された回路基板(201)であって、
配線パターン(222)が形成された基板(202)と、
前記基板上に導電性の接合材料(70c)を介して実装された、上記チップ部品に含まれる複数の第1チップ部品(203a, 203b)と、
前記複数の第1チップ部品の前記基板とは反対側に導電性の接合材料(70a)を介して実装された補助基板(211)と、
前記補助基板の前記複数の第1チップ部品とは反対側に導電性の接合材料(70b)を介して実装され、前記補助基板を介して前記複数の第1チップ部品と電気的に接合された、上記チップ部品に含まれる第2チップ部品(204)と、
を備え、
前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである、回路基板。
- [14] 請求項13に記載の回路基板であって、
前記複数の第1チップ部品および前記第2チップ部品の長さが、2mm以下である、回路基板。
- [15] 請求項13に記載の回路基板であって、
前記複数の第1チップ部品および前記第2チップ部品が、抵抗器、コンデンサまた

はインダクタである、回路基板。

[16] 請求項13に記載の回路基板であって、

前記複数の第1のチップ部品が2つである、回路基板。

[17] 配線パターン(222)が形成された基板(202)上にチップ部品(203、204)を実装するチップ部品実装方法であって、

補助基板(211)の一の主面(2111)上に、導電性の接合材料(270a)を介して、上記チップ部品に含まれる複数の第1チップ部品(203a, 203b)の電極(231)を装着接合し、

前記補助基板の前記一の主面とは反対側の他の主面(2112)上の電極(2102)に導電性の接合材料(270b)にて、上記チップ部品に含まれる第2チップ部品の電極(241)を接合して前記第2チップ部品を前記複数の第1チップ部品と電気的に接合したチップ部品構造体(210)を形成し、

前記チップ部品構造体の前記複数の第1チップ部品の電極(231)を導電性の接合材料(270c)を介して前記基板の電極(223)上に接合して部品実装を行い、ここで、

前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである、チップ部品実装方法。

[18] 配線パターン(222)が形成された基板(202)上にチップ部品(203、204)を実装するチップ部品実装方法であって、

前記基板の電極(223)上に、上記チップ部品に含まれる複数の第1チップ部品(203a, 203b)を配置し、

前記複数の第1チップ部品の前記基板とは反対側に補助基板(211)を配置して該補助基板の一の主面(2111)上の電極(2102)に前記複数の第1チップ部品の電極(231)を配置し、

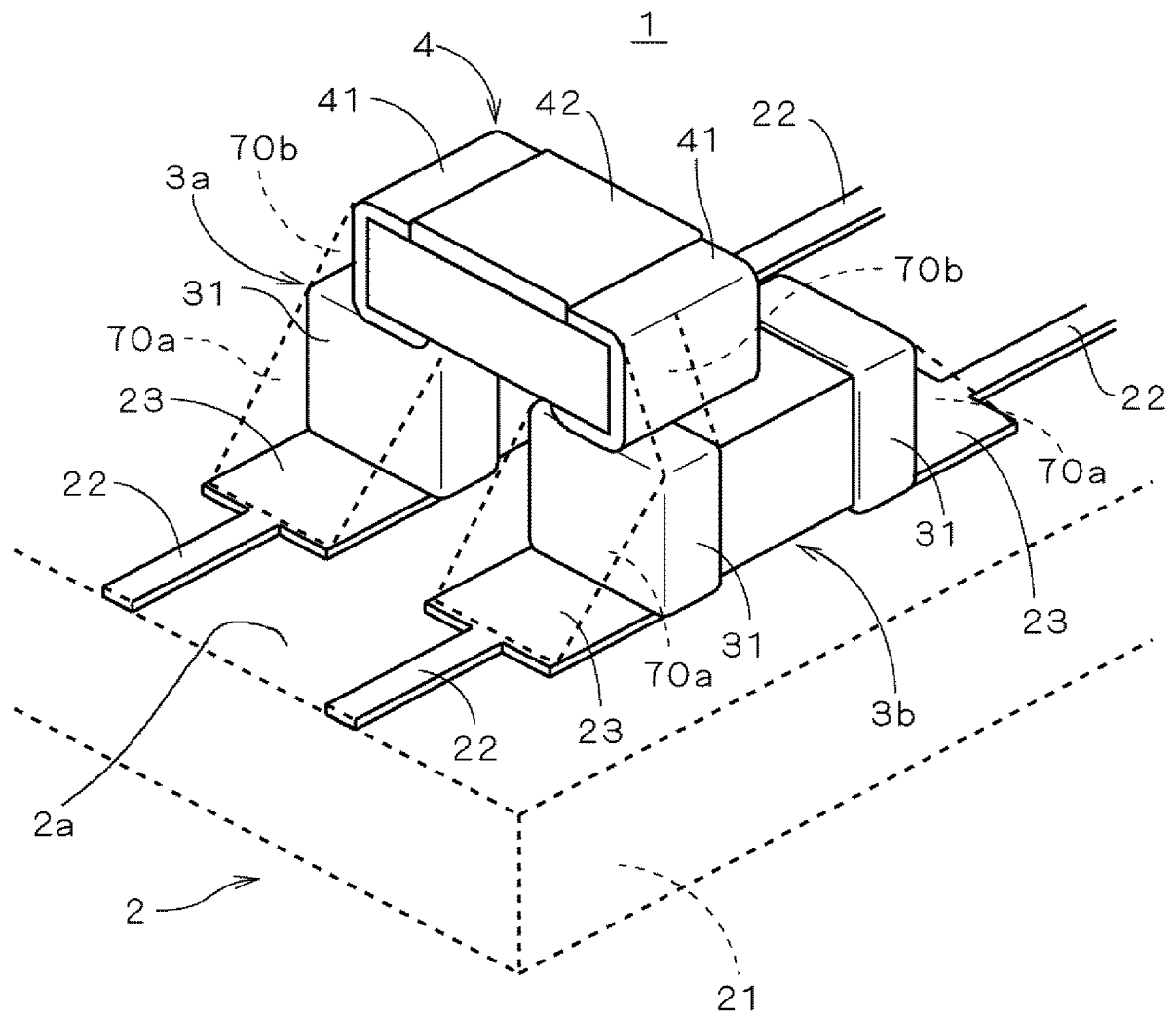
前記補助基板の前記一の主面とは反対側の他の主面(2112)上の電極(2102)に、上記チップ部品に含まれる第2チップ部品の電極(241)を配置し、

導電性の接合材料(270c、270a、270c)を介して前記基板の前記電極と前記複

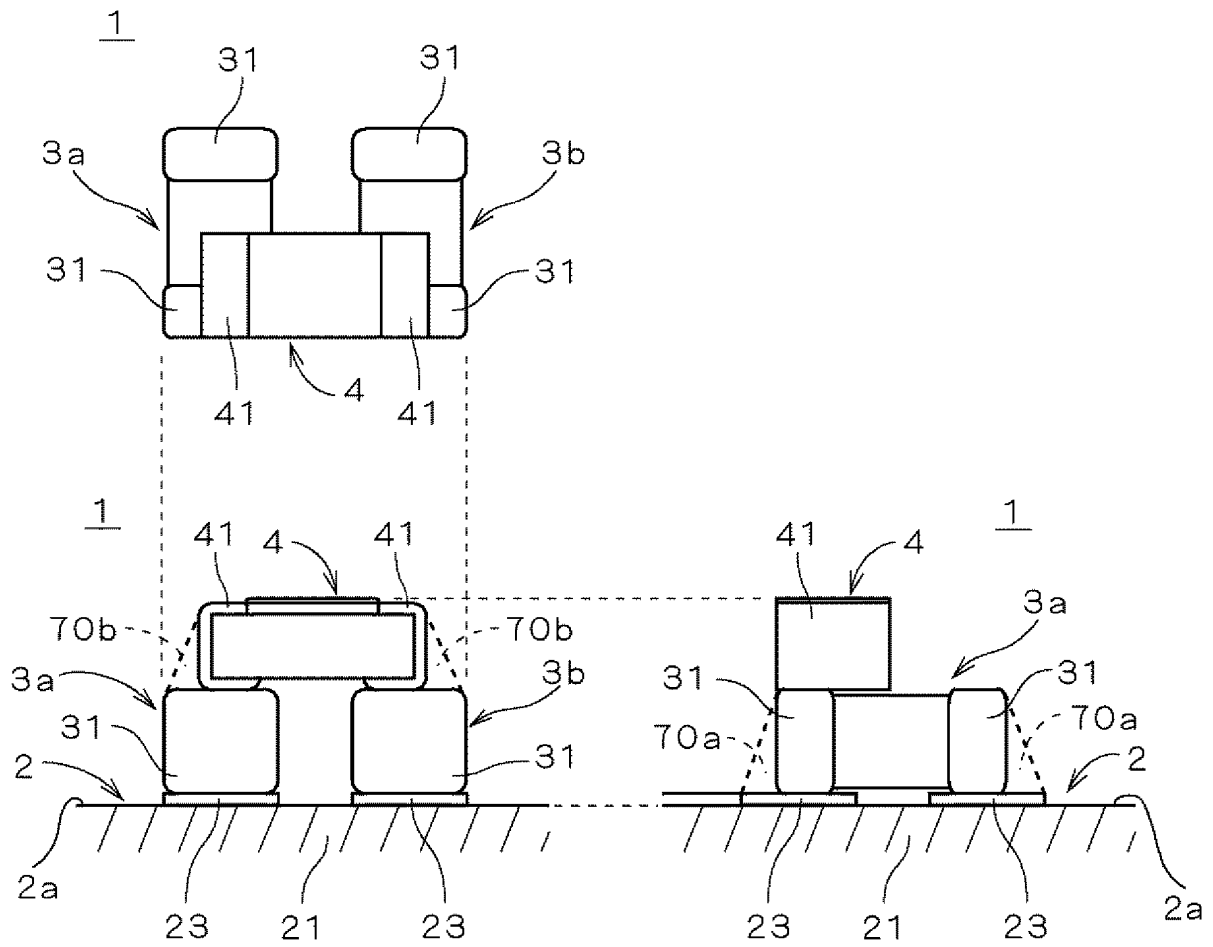
数の第1チップ部品の前記電極とを固定した後、前記第1チップ部品の前記電極と前記補助基板の前記一の主面における前記電極とを固定し、次に、前記補助基板の前記他の主面における前記電極と前記第2チップ部品の前記電極とを固定することで部品実装を行い、ここで、

前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである、チップ部品実装方法。

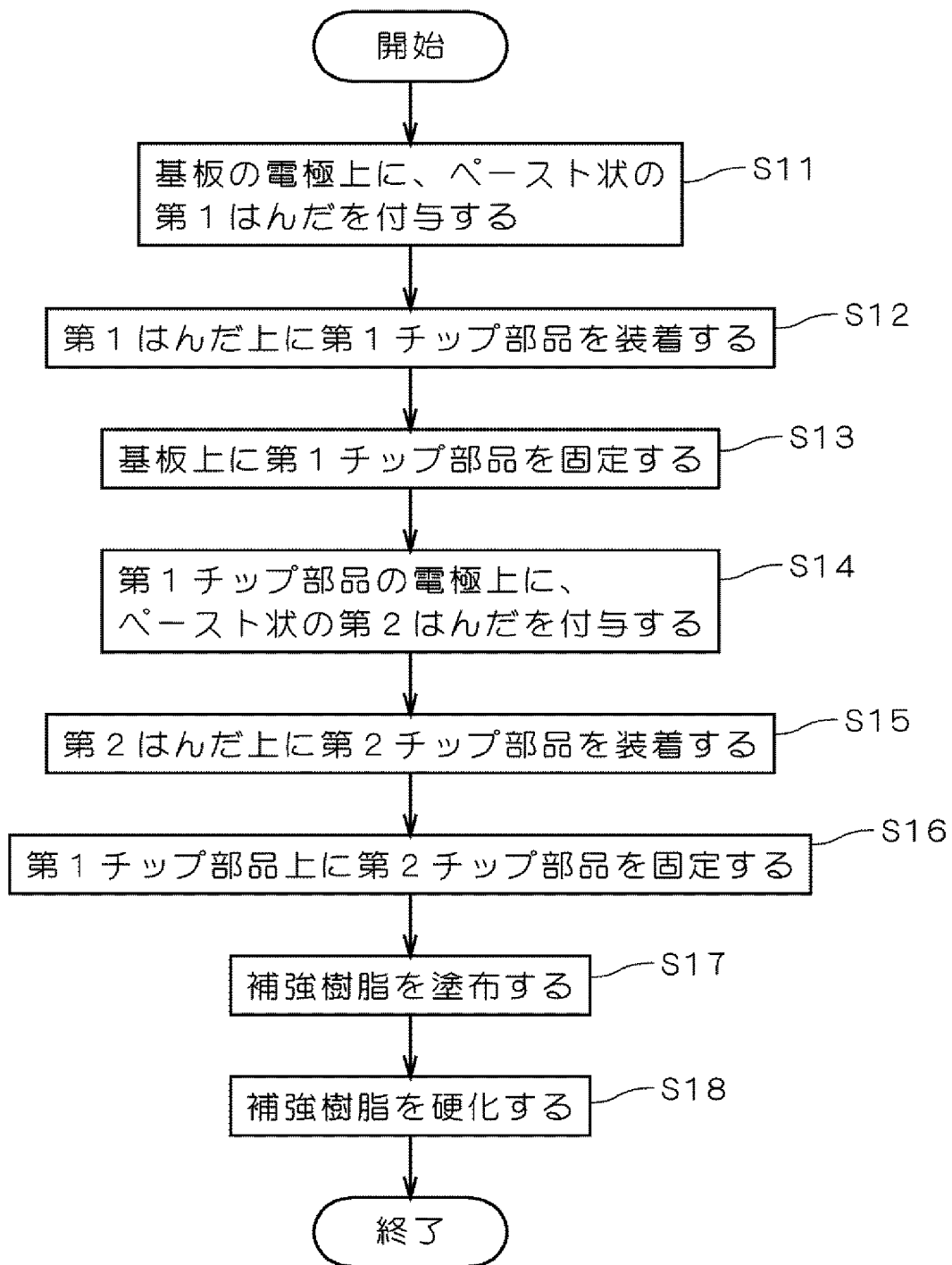
[図1]



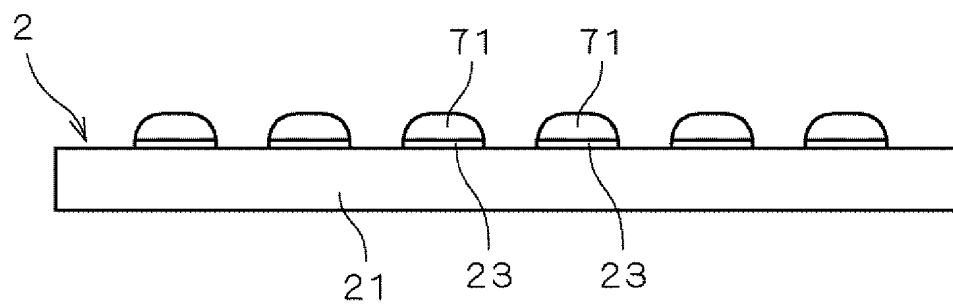
[[図2]]



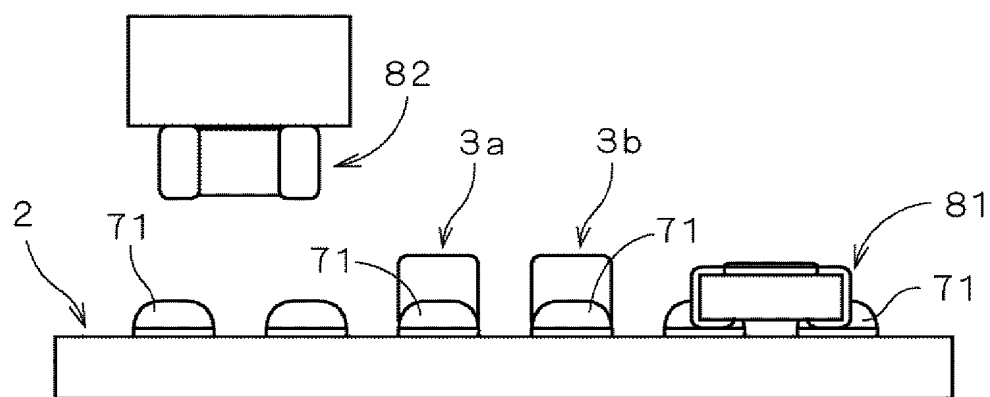
[図3]



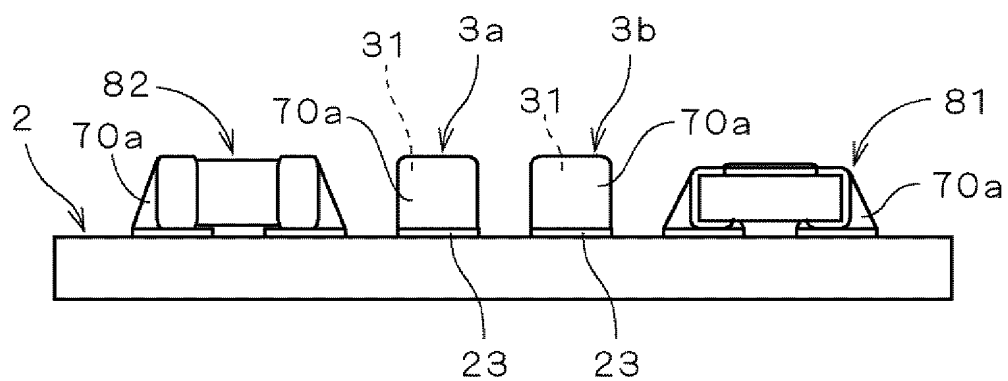
[図4A]



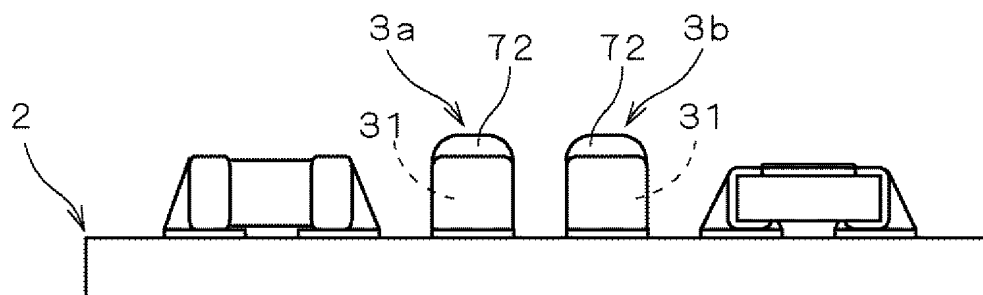
[図4B]



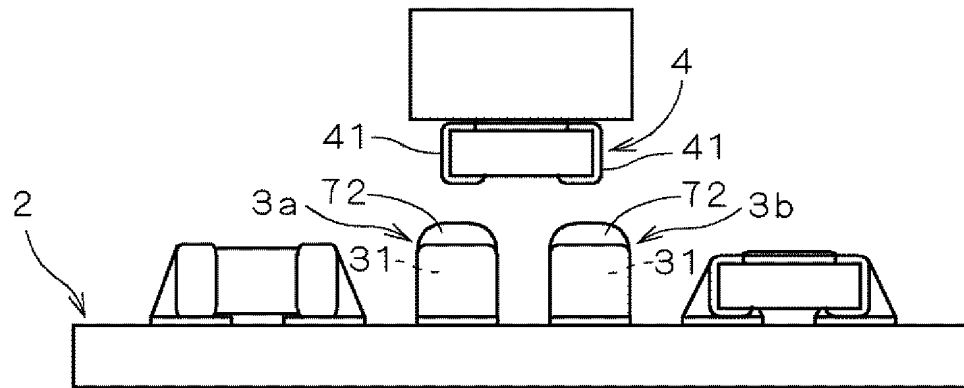
[図4C]



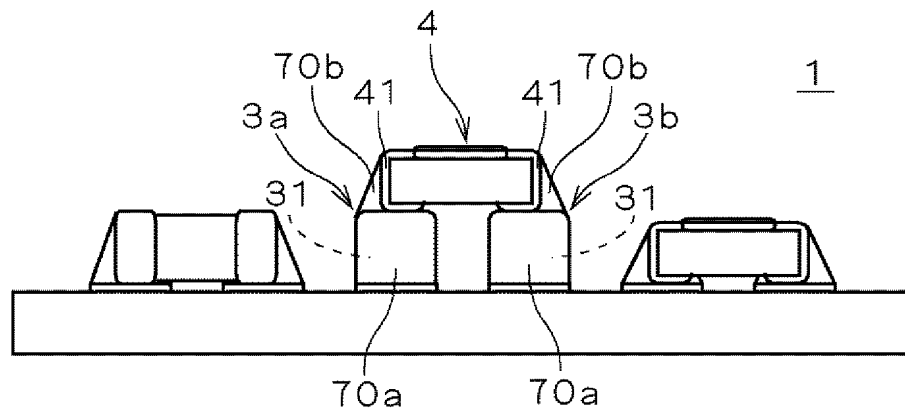
[図5A]



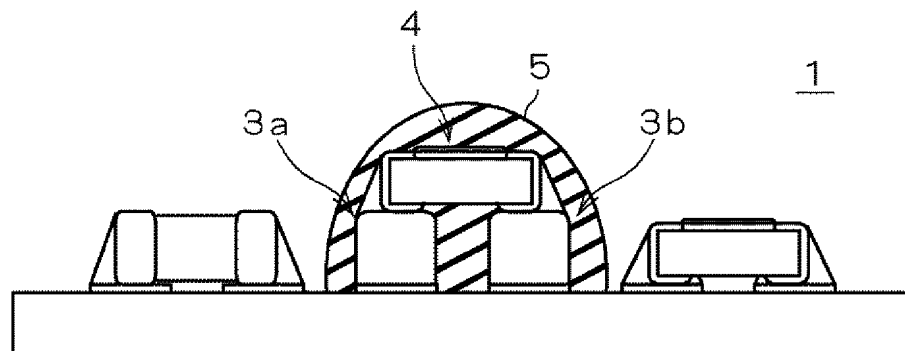
[図5B]



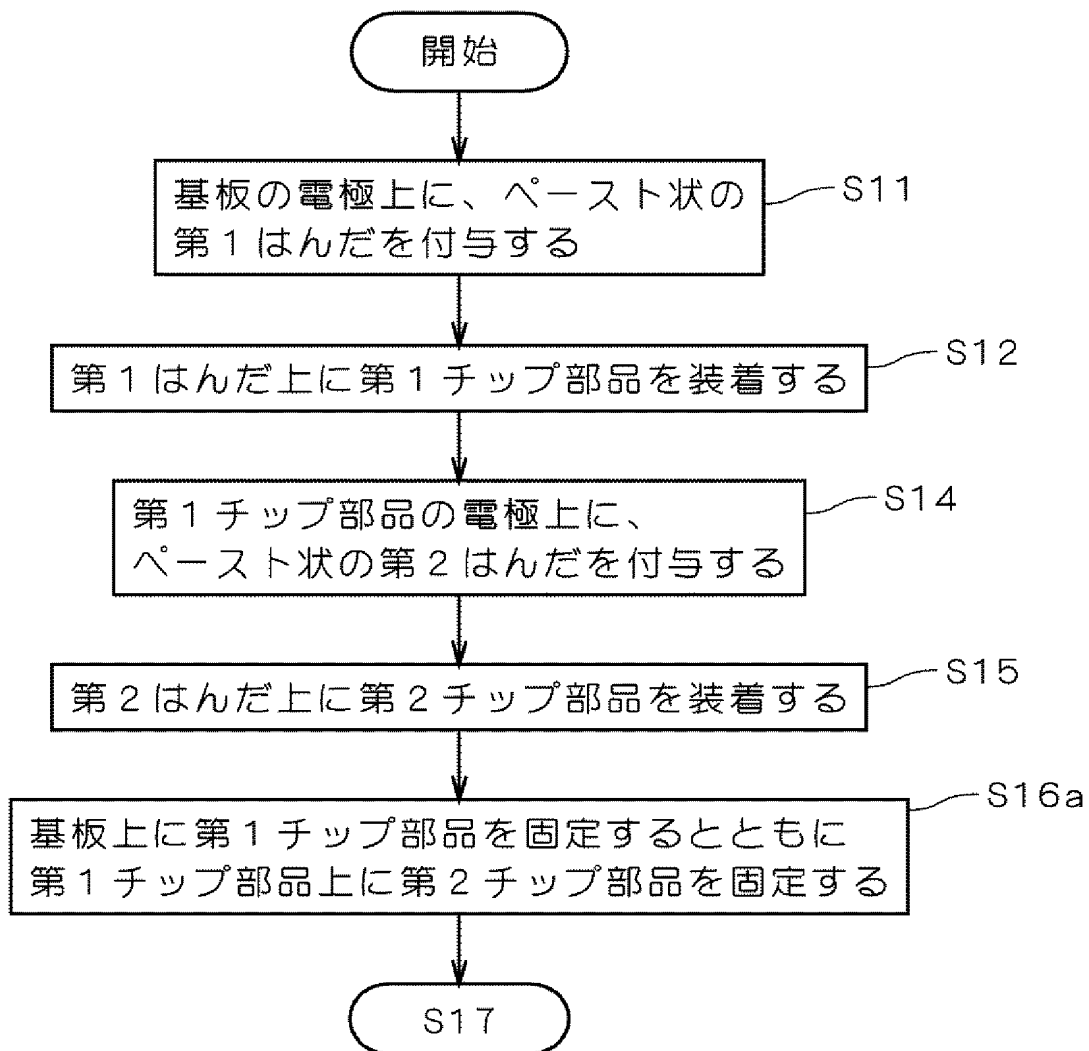
[図5C]



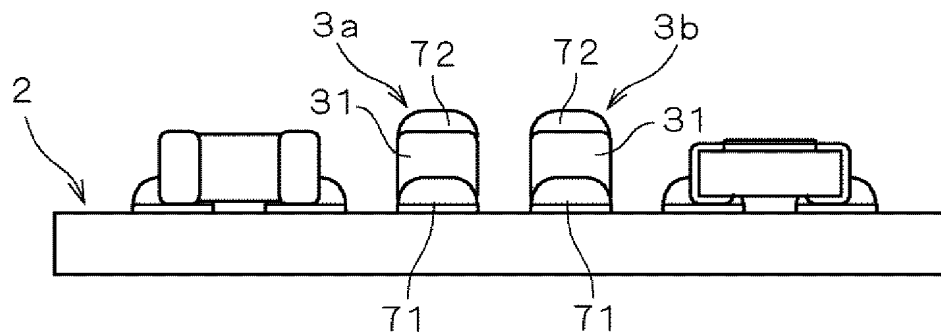
[図5D]



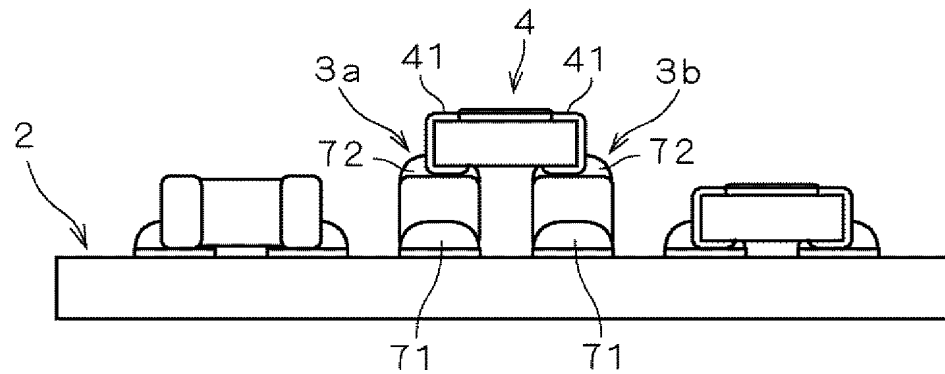
[図6]



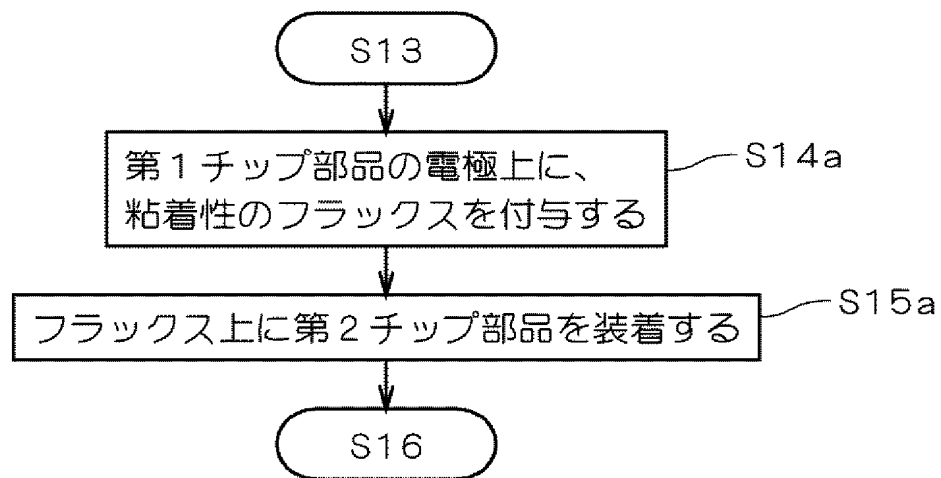
[図7A]



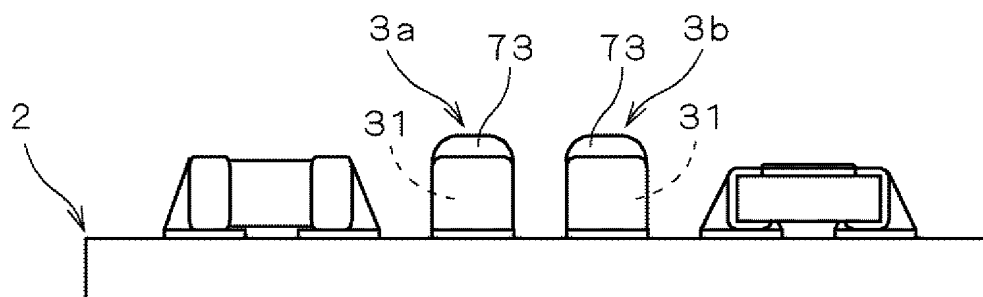
[図7B]



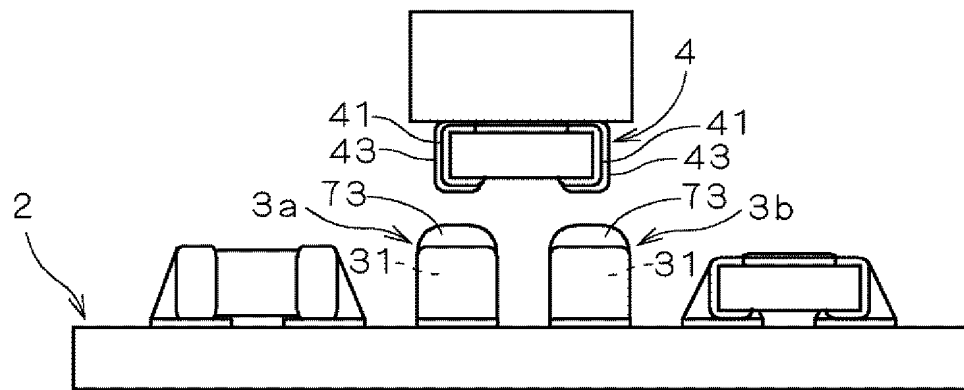
[図8]



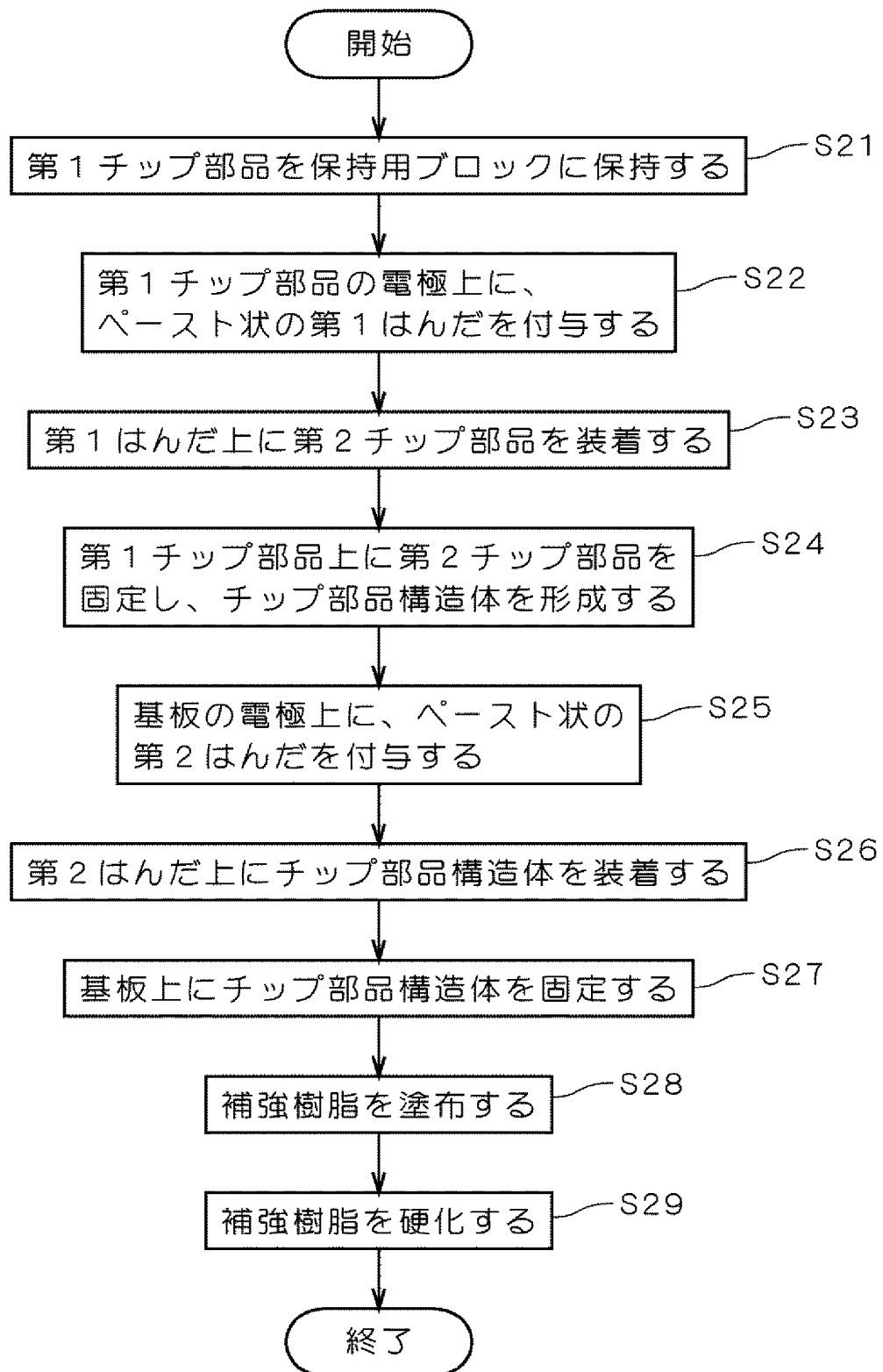
[図9A]



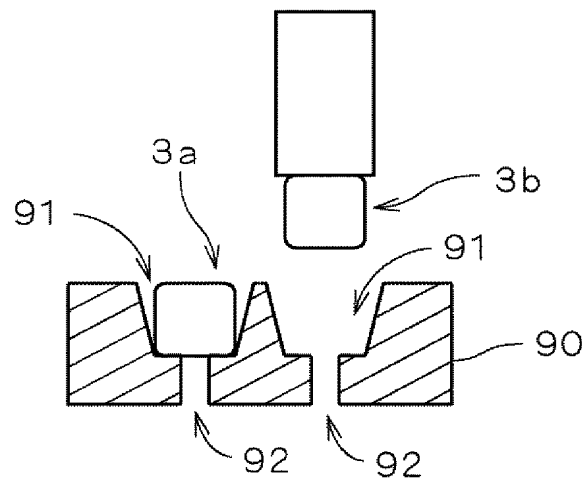
[図9B]



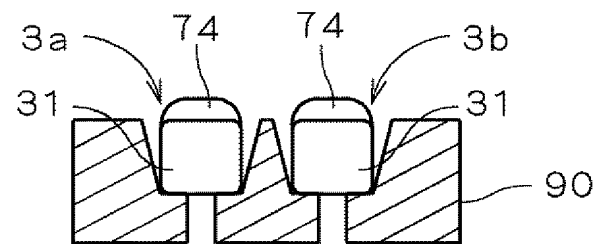
[図10]



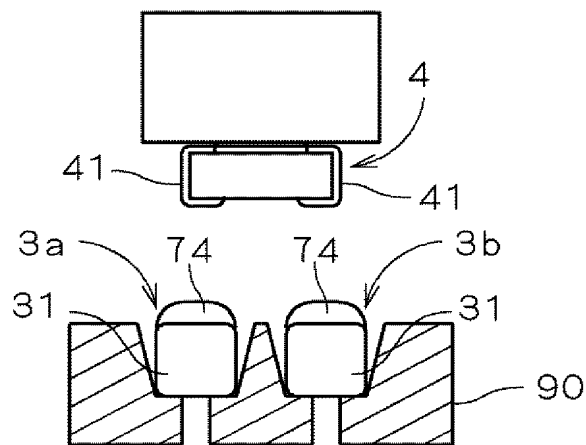
[図11A]



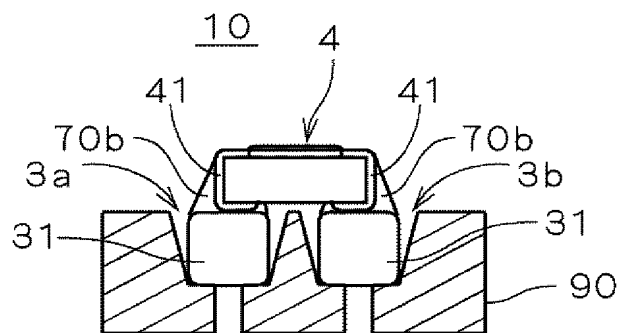
[図11B]



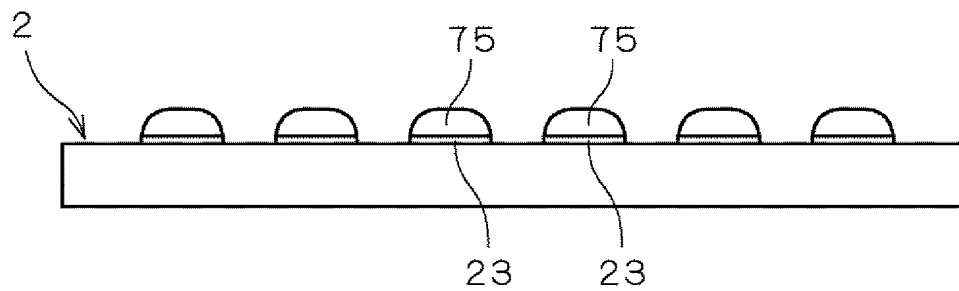
[図11C]



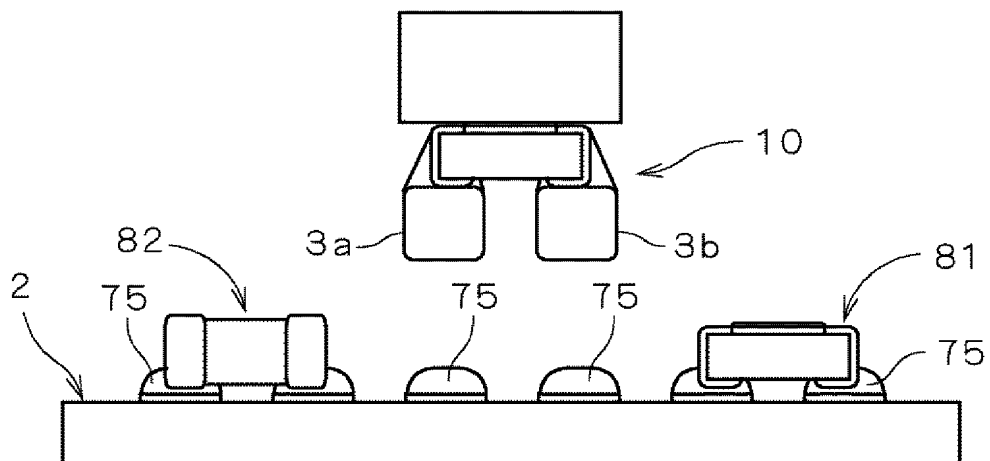
[図11D]



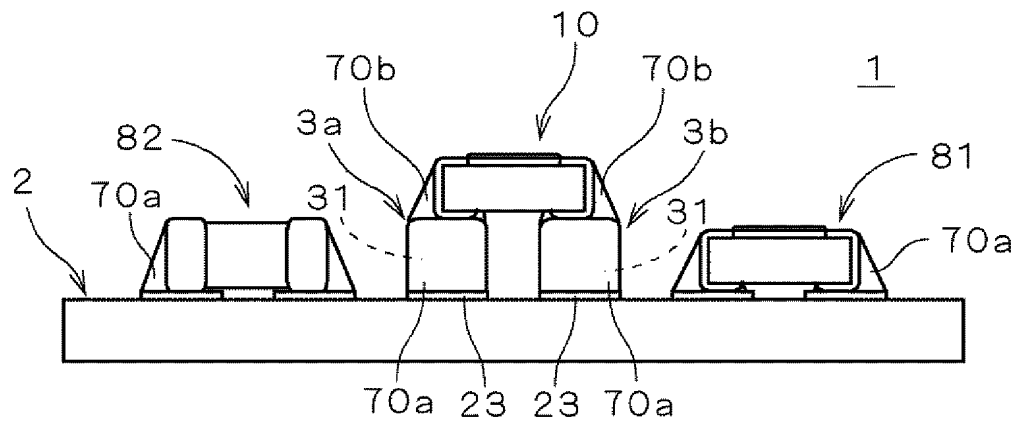
[図12A]



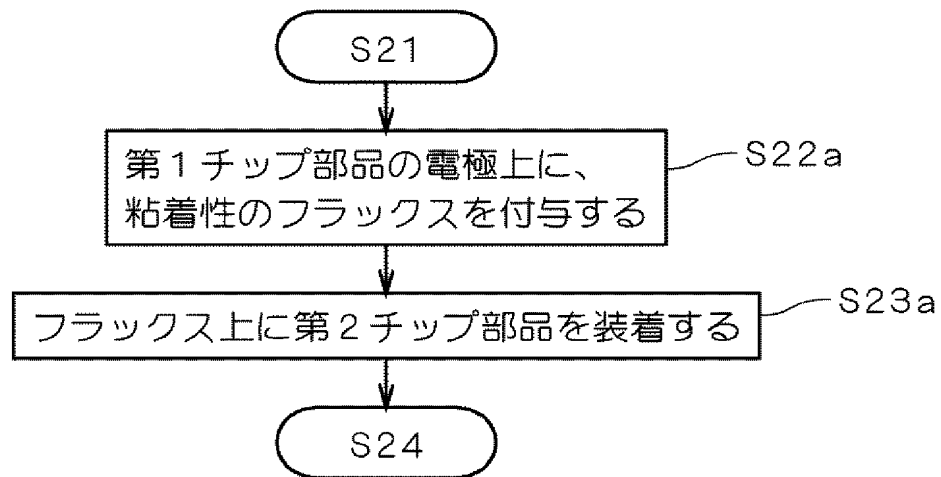
[図12B]



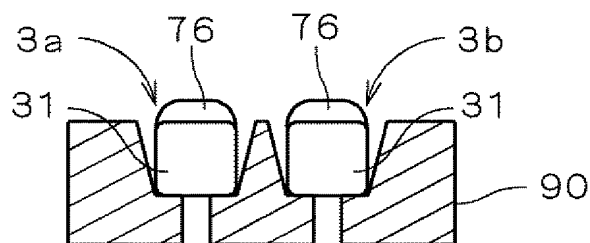
[図12C]



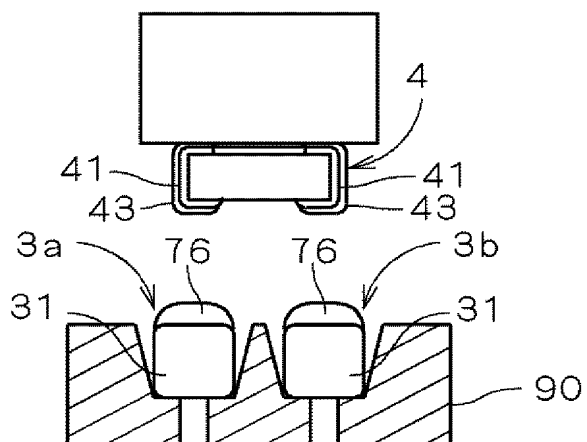
[図13]



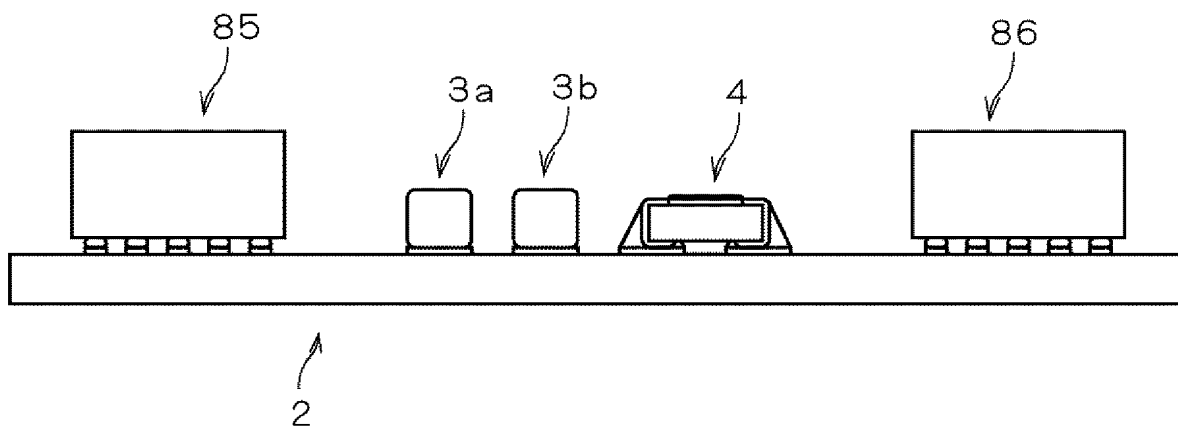
[図14A]



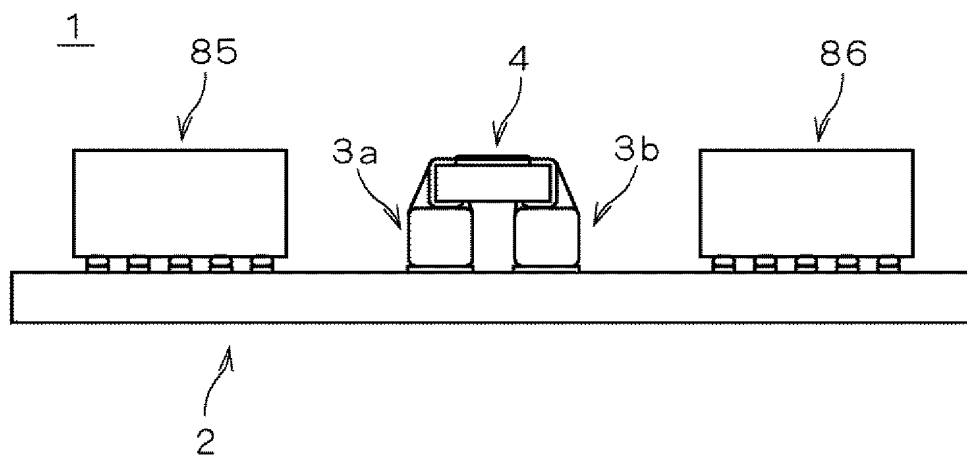
[図14B]



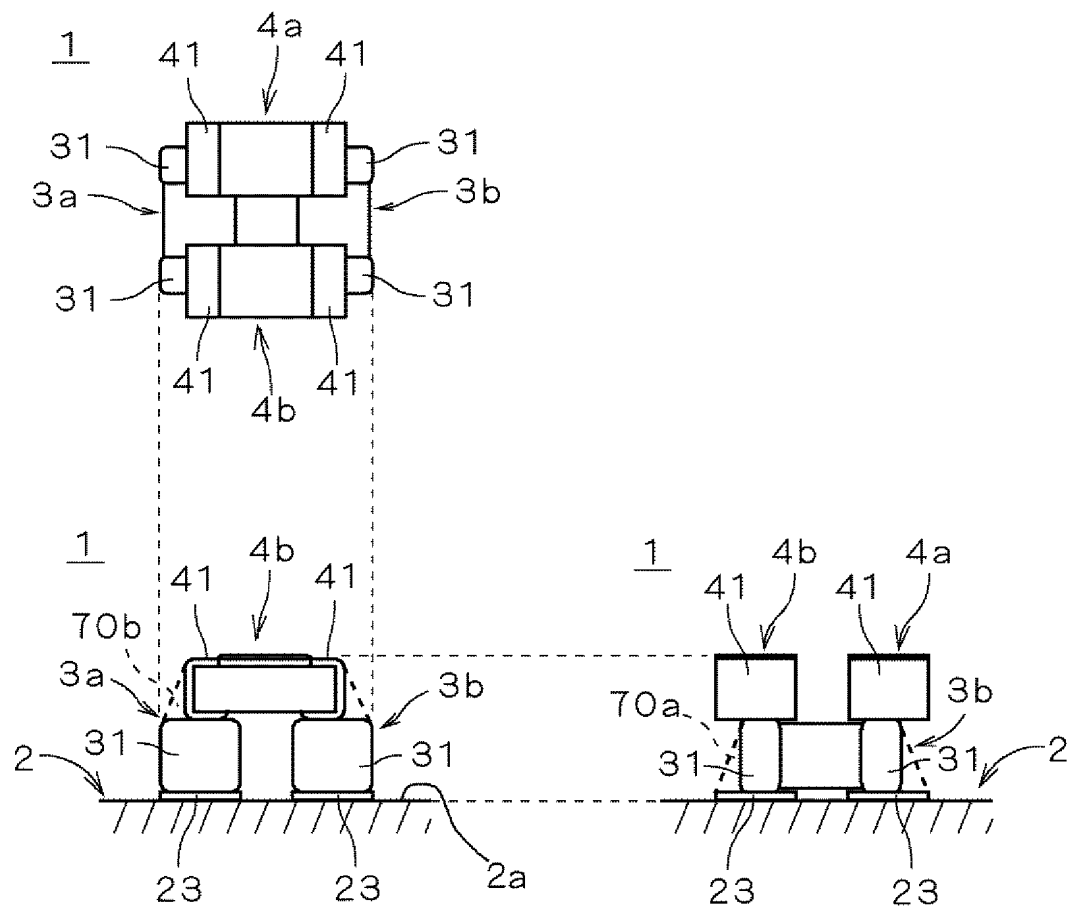
[図15A]



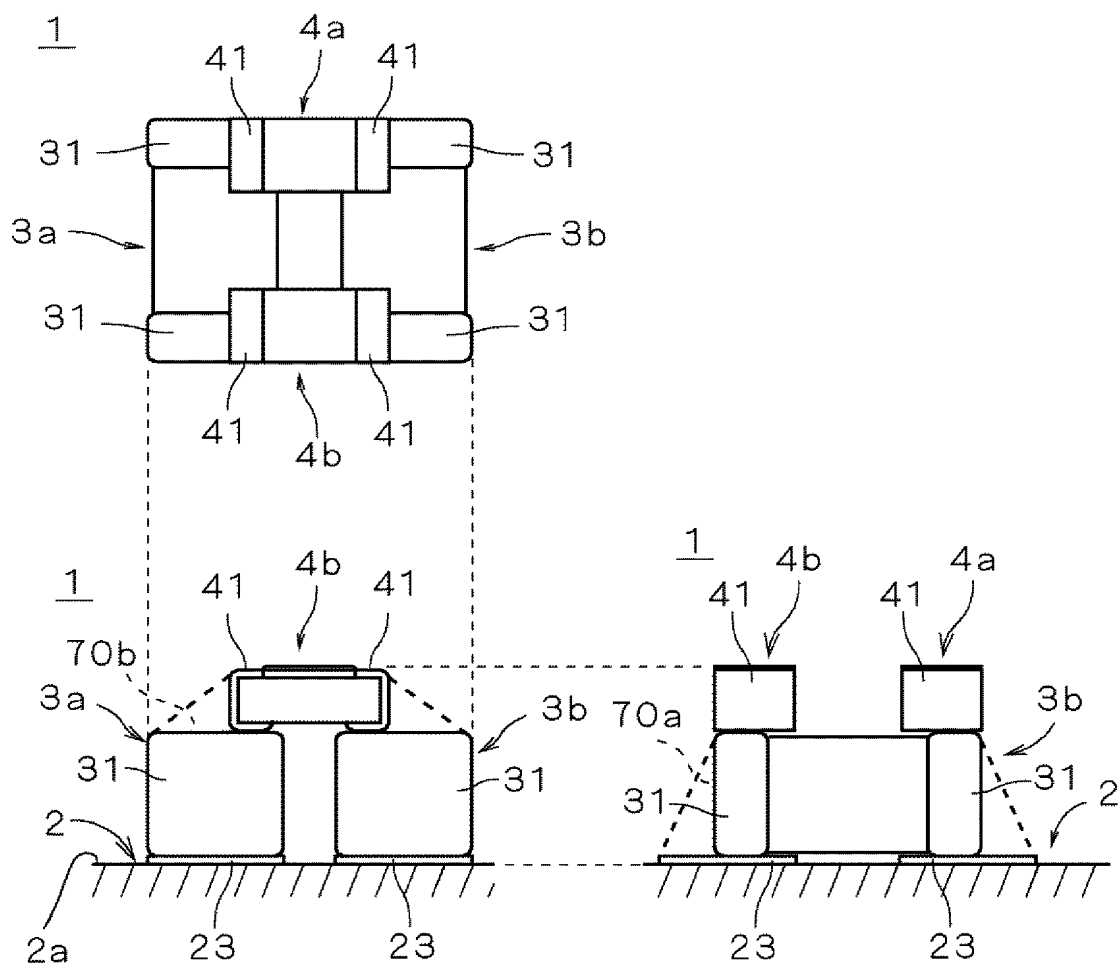
[図15B]



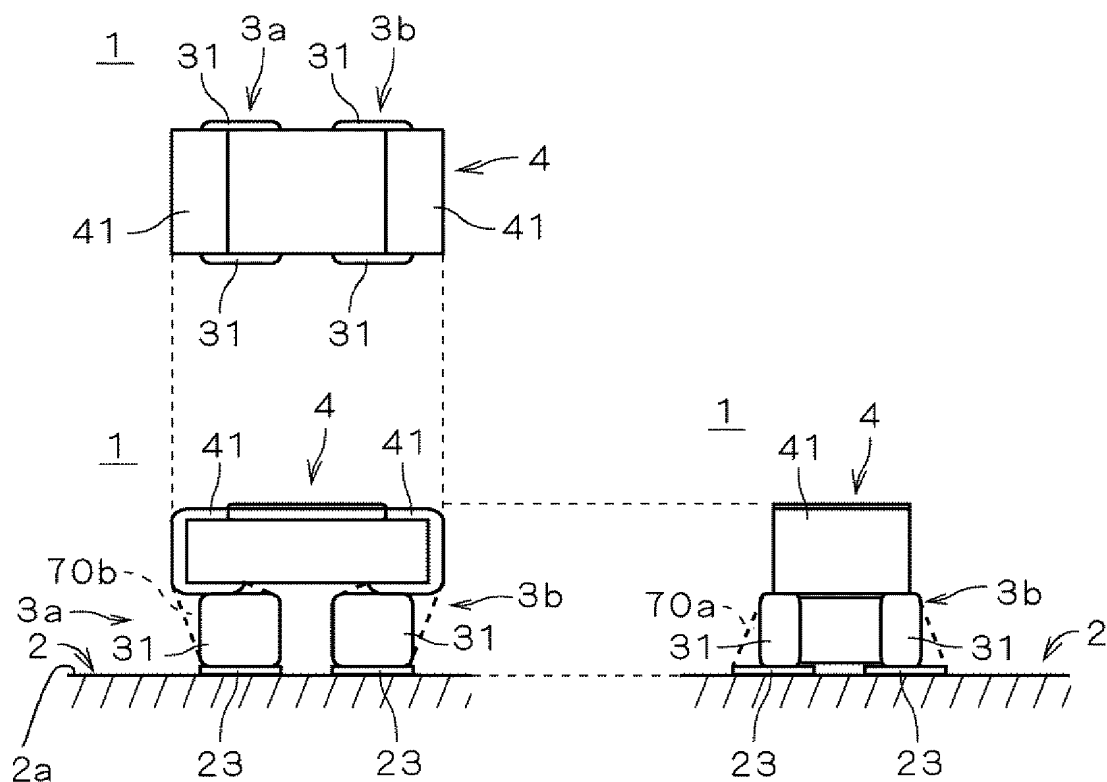
[図16]



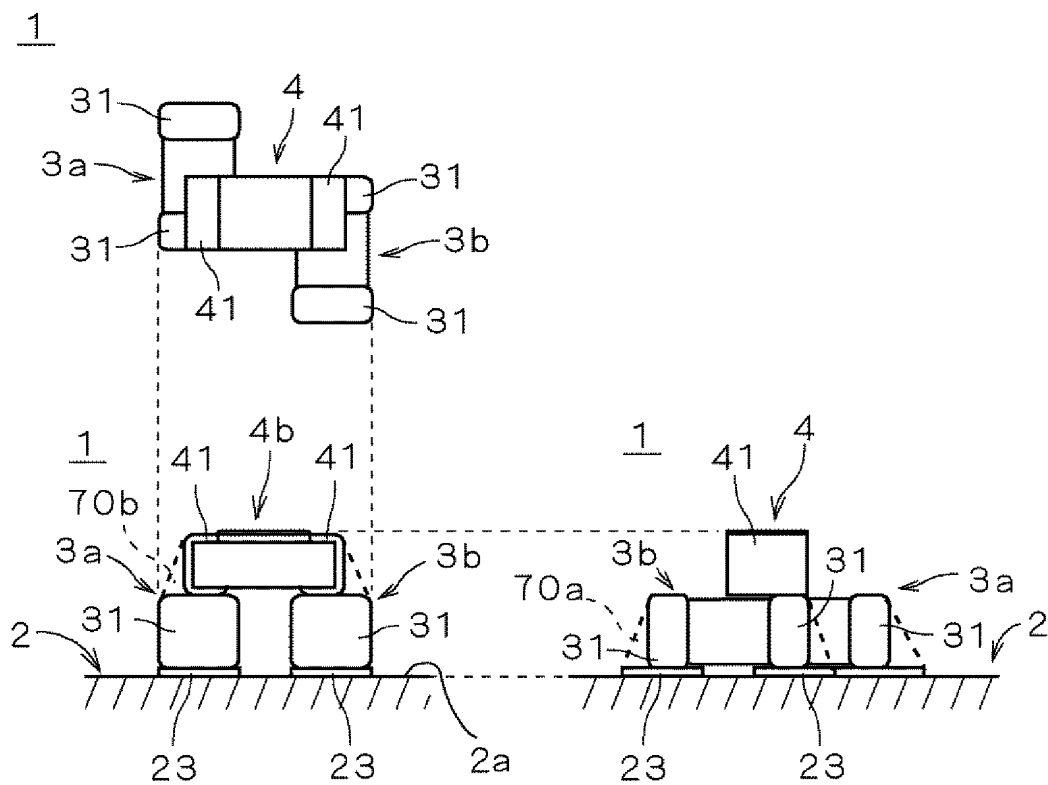
[図17]



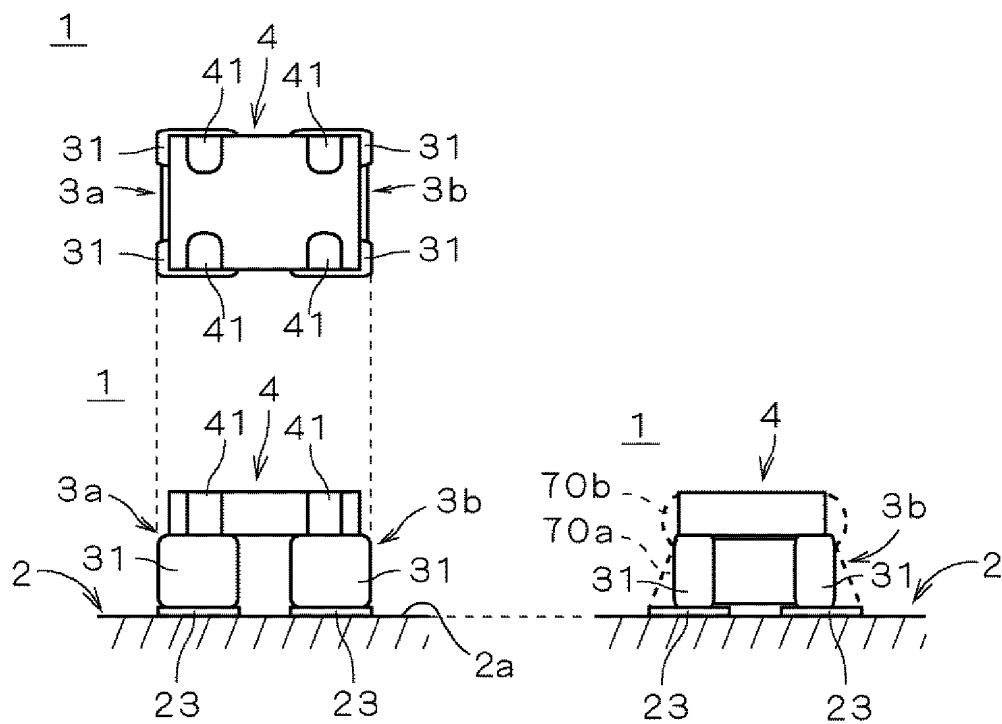
[[図18]]



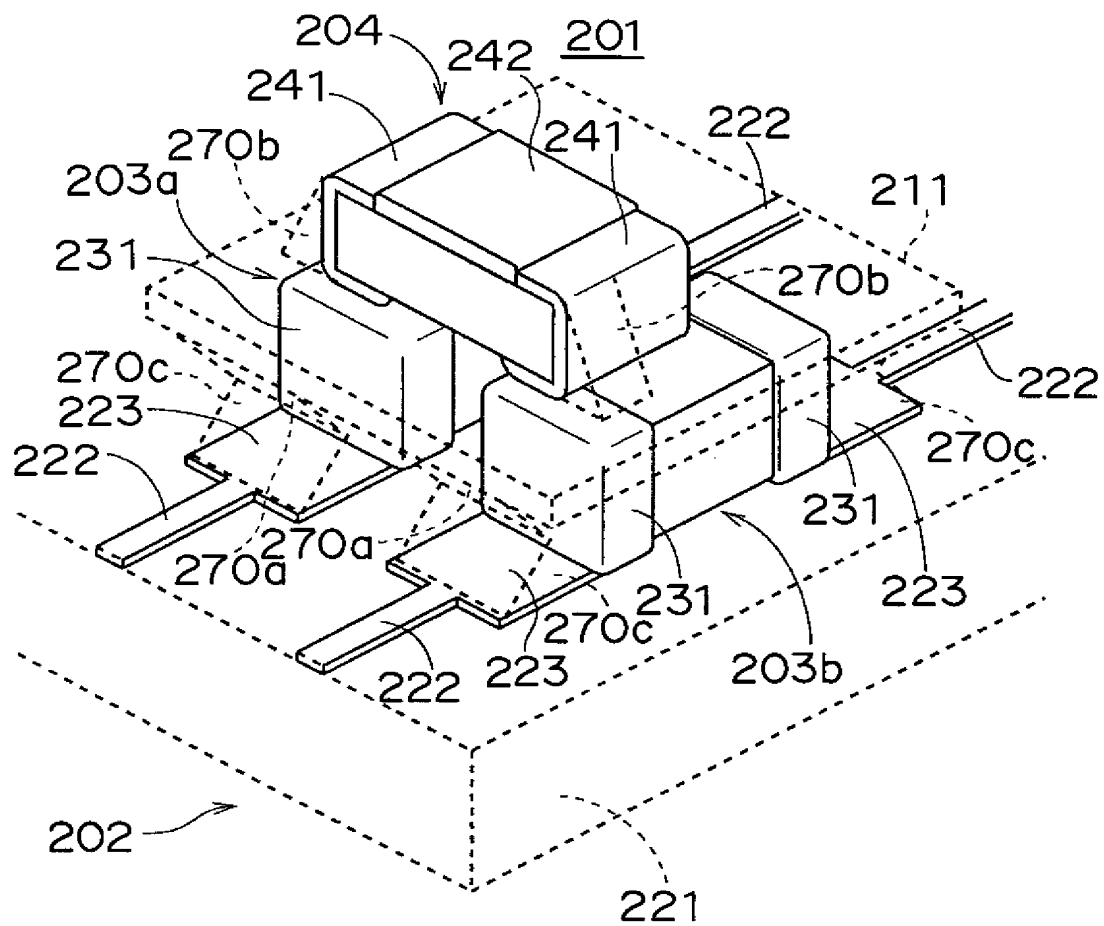
[[図19]]



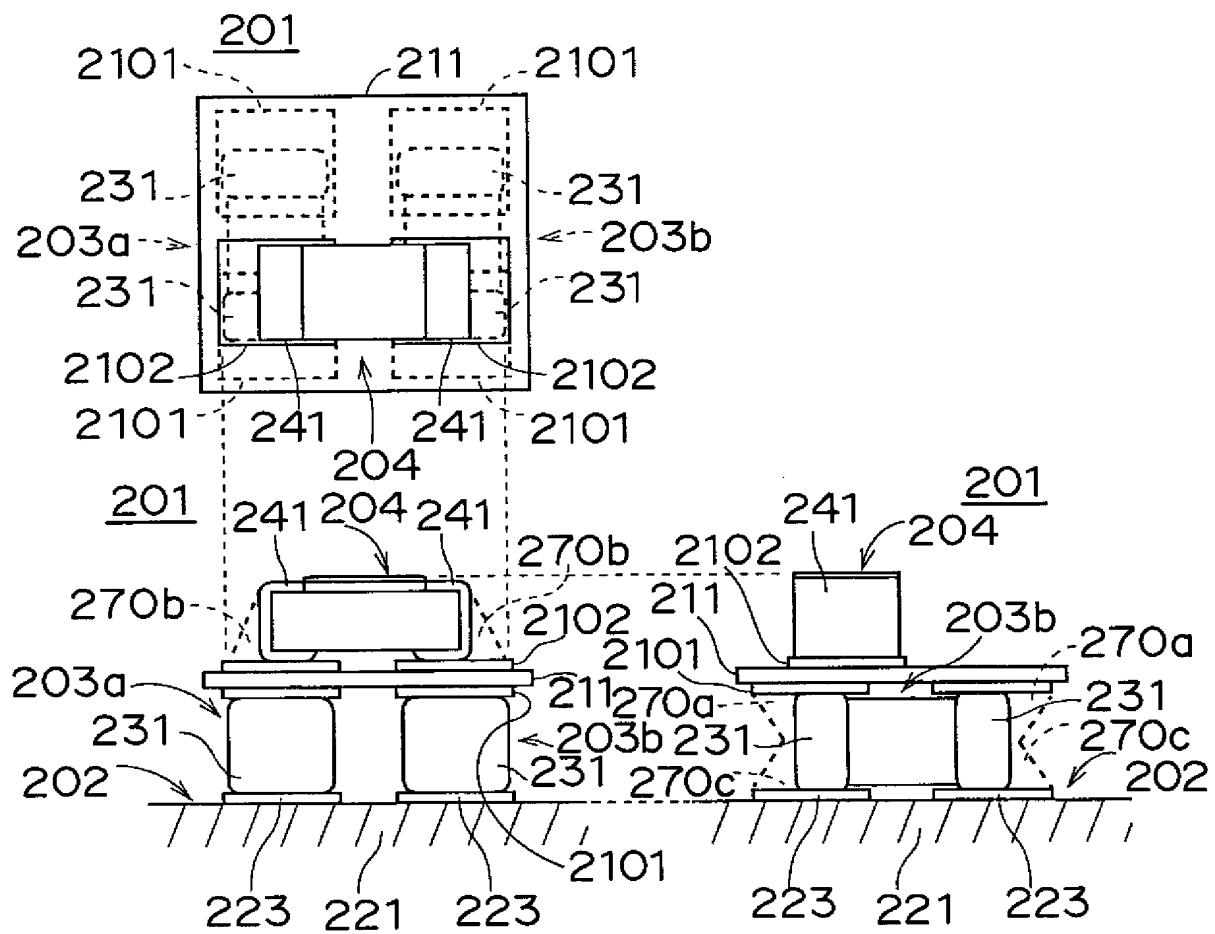
[図22]



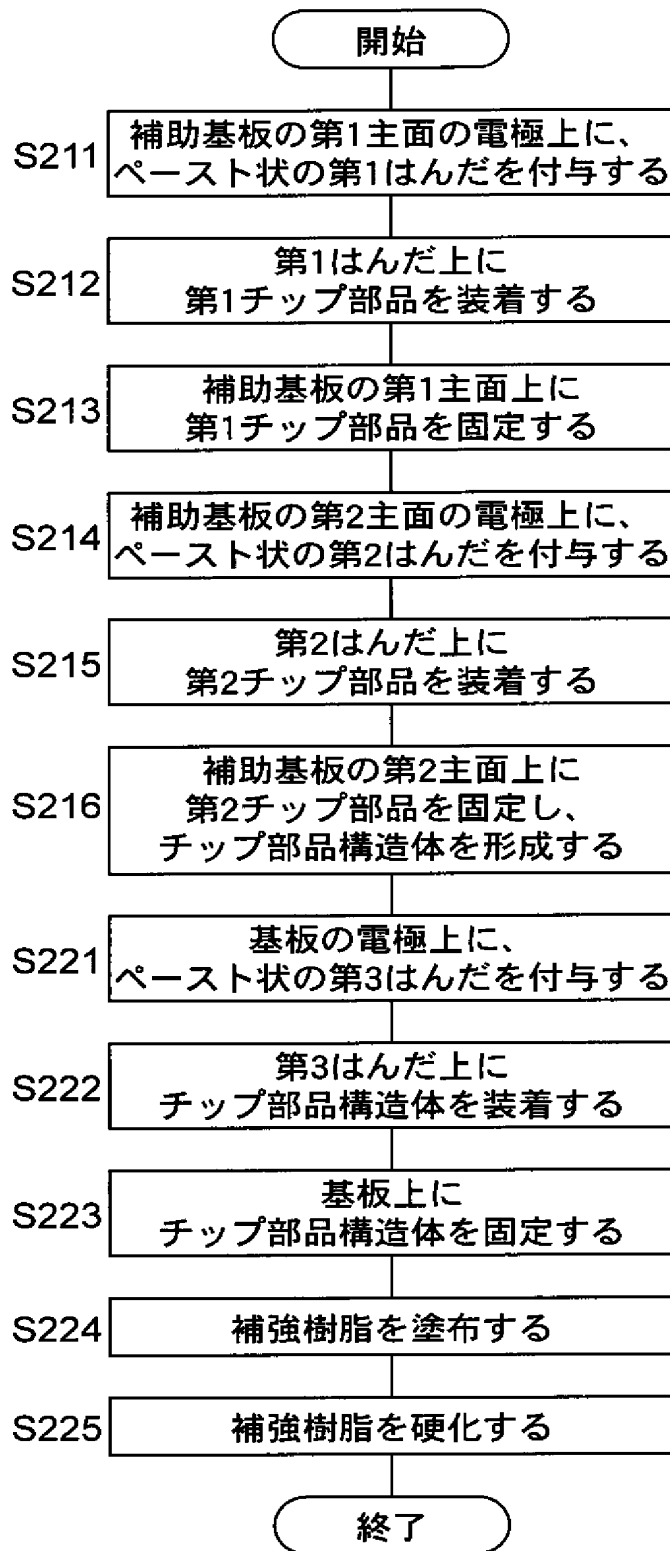
[図23]



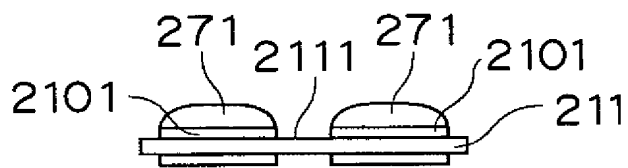
[図24]



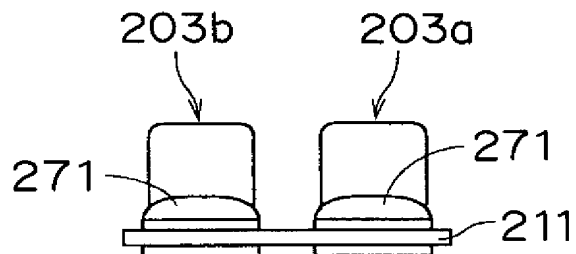
[図25]



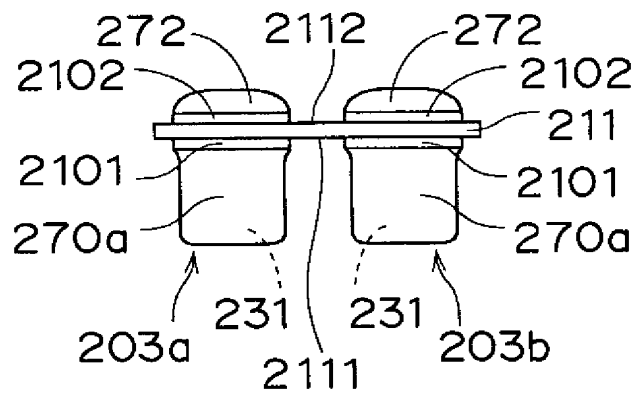
[図26A]



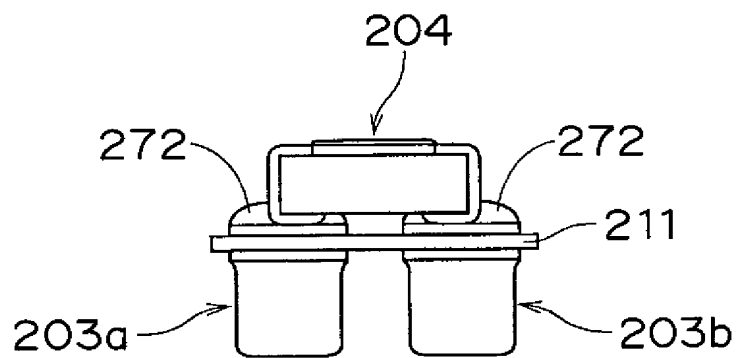
[図26B]



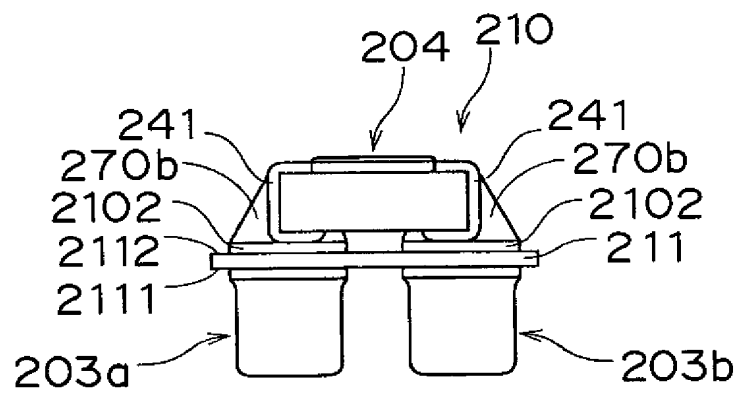
[図26C]



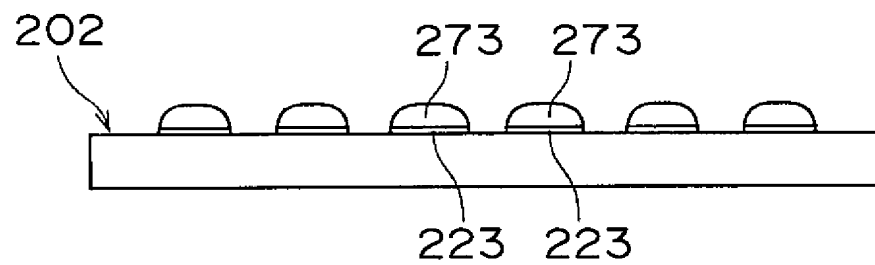
[図26D]



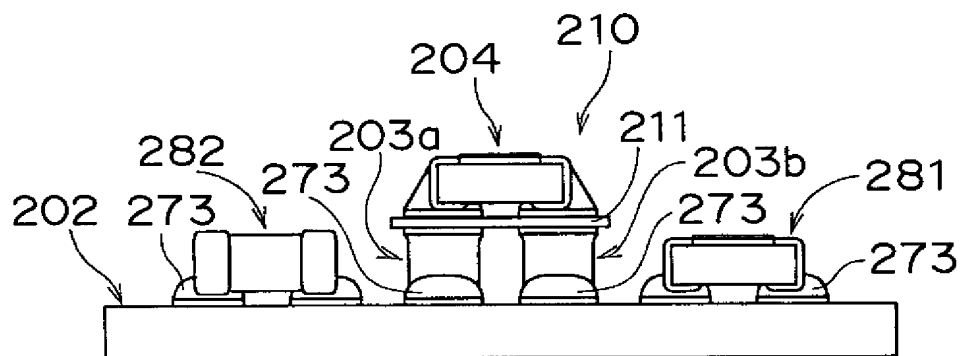
[図26E]



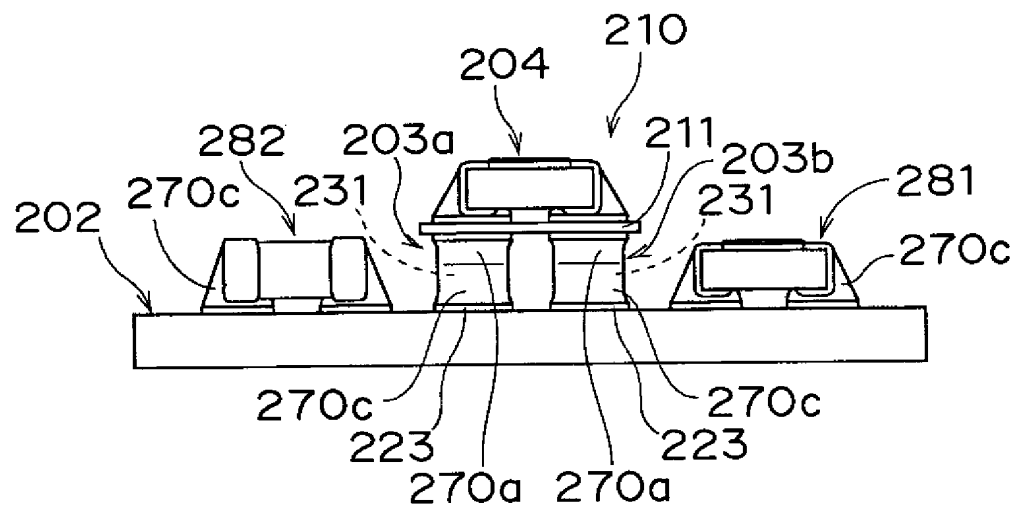
[図27A]



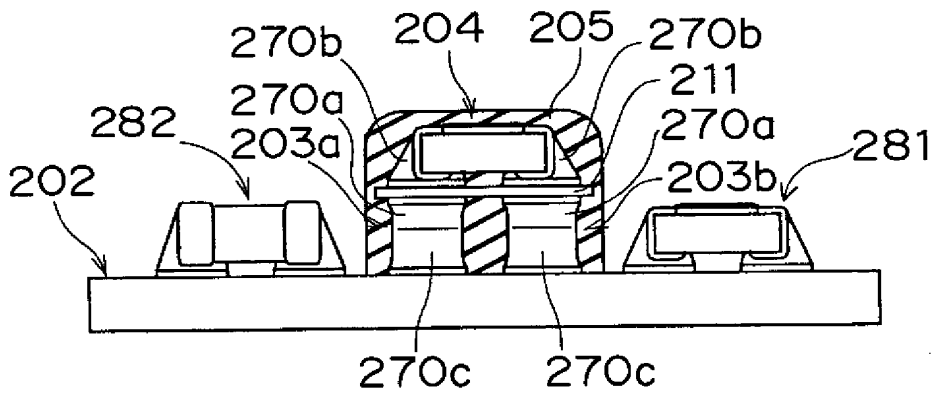
[図27B]



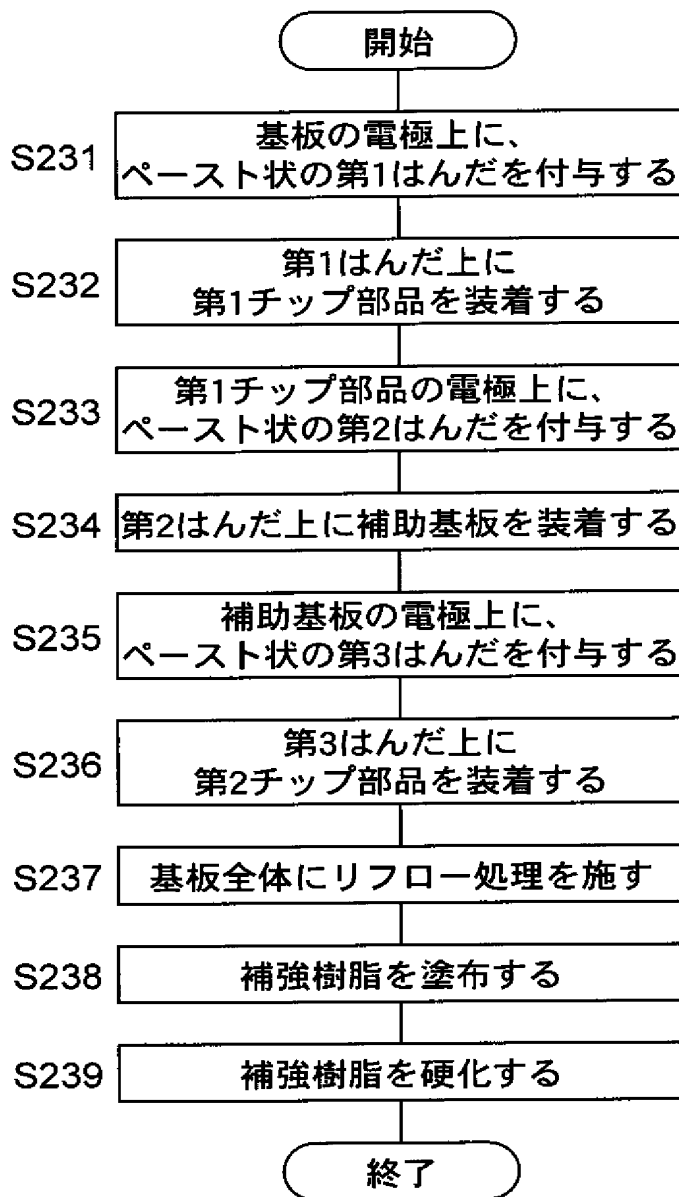
[図27C]



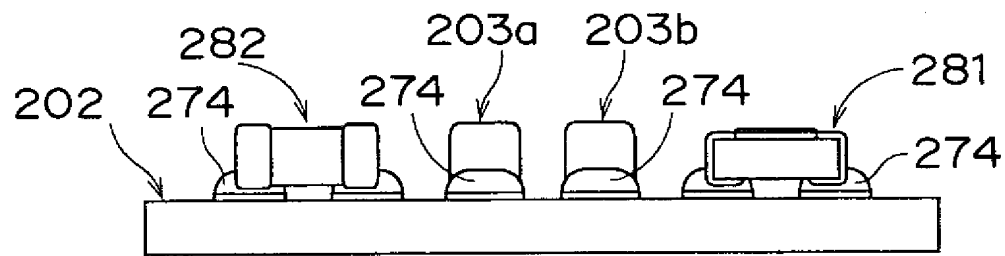
[図27D]



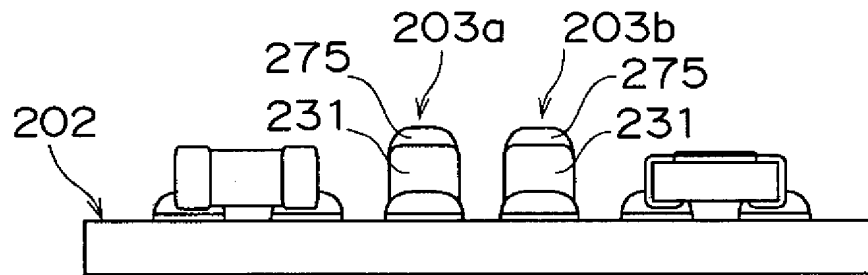
[図28]



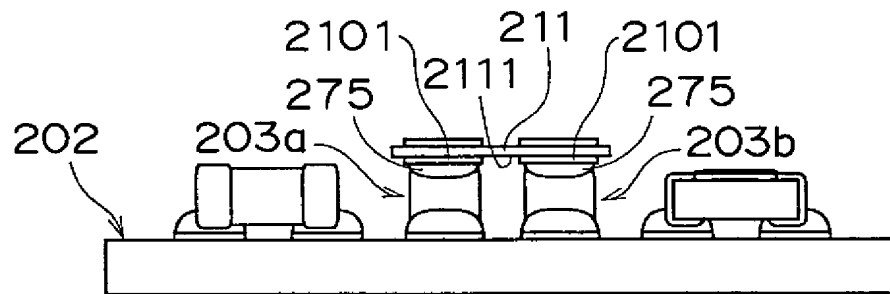
[図29A]



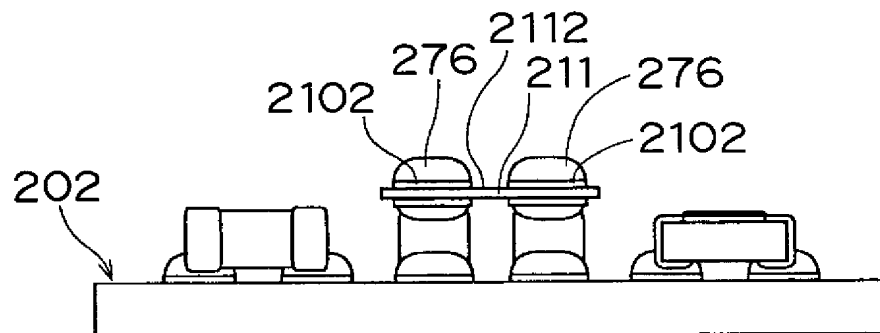
[図29B]



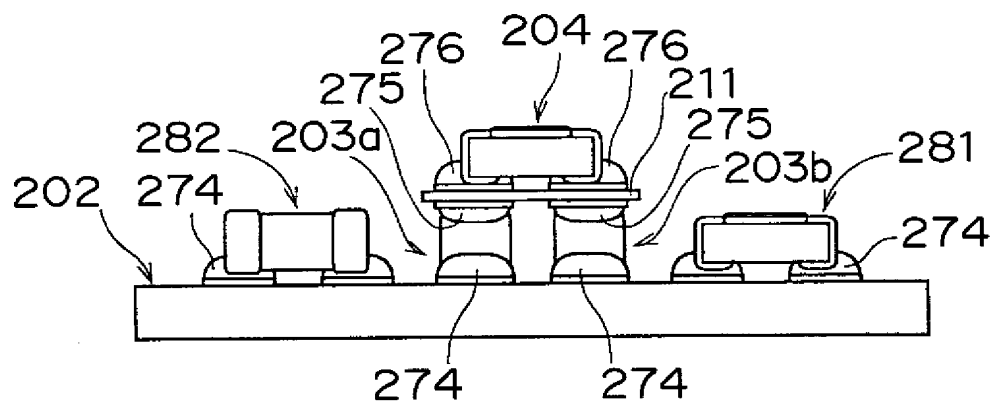
[図29C]



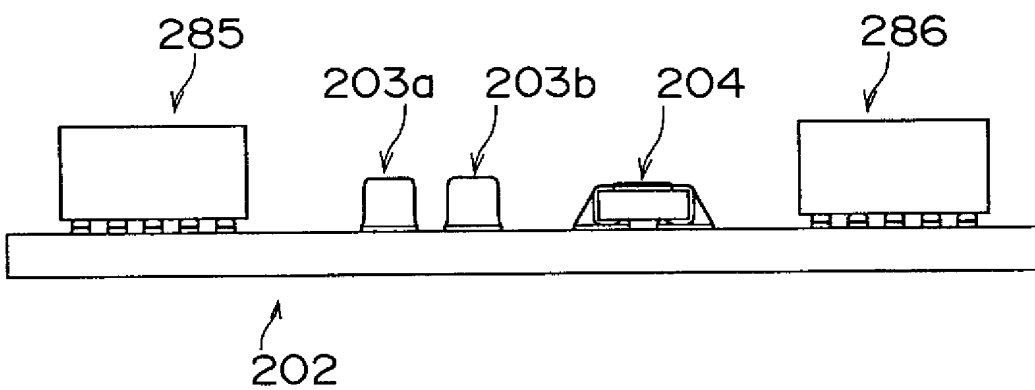
[図29D]



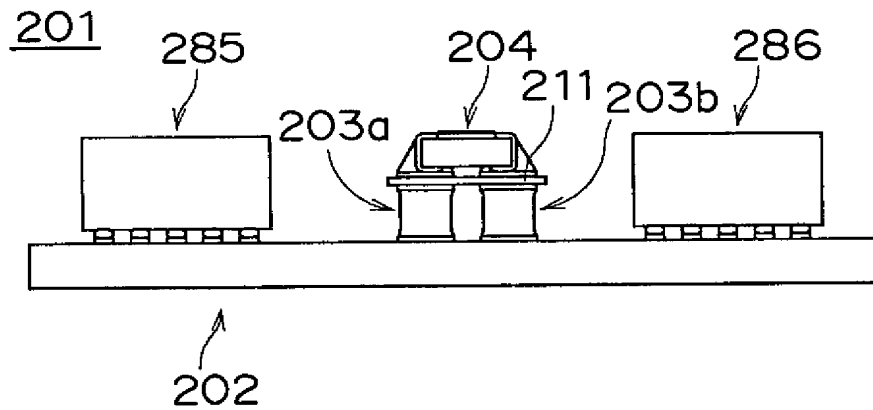
[図29E]



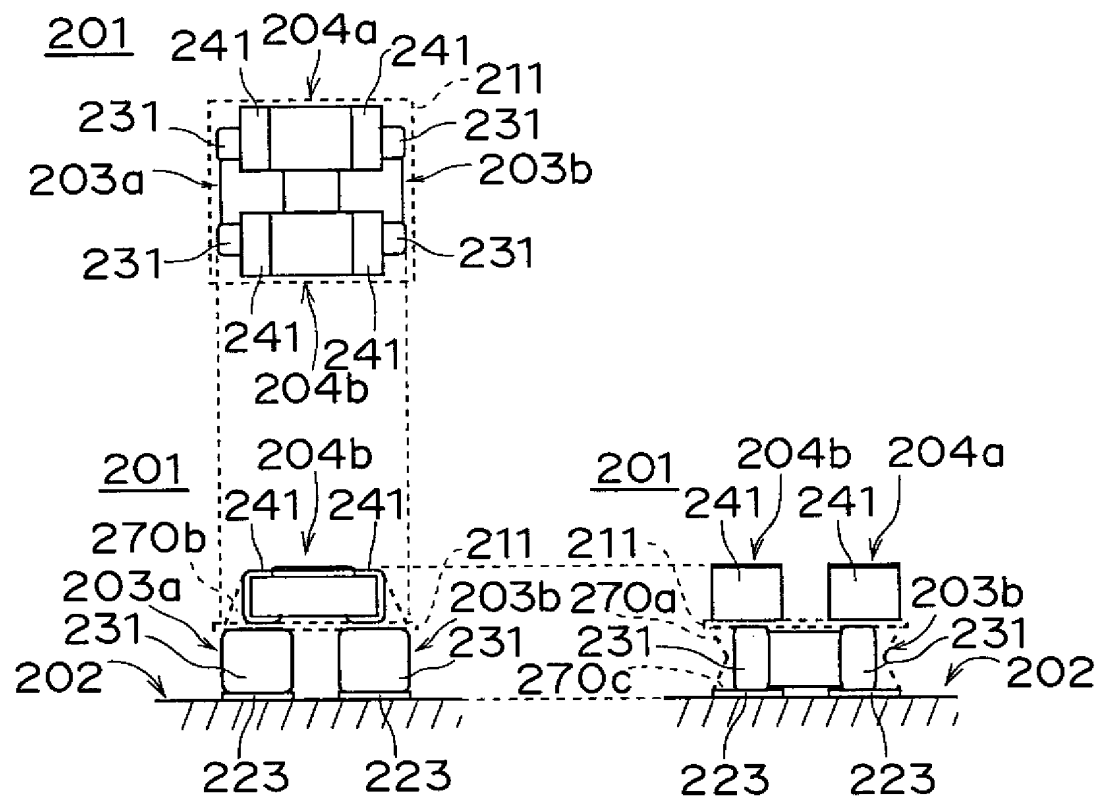
[図30A]



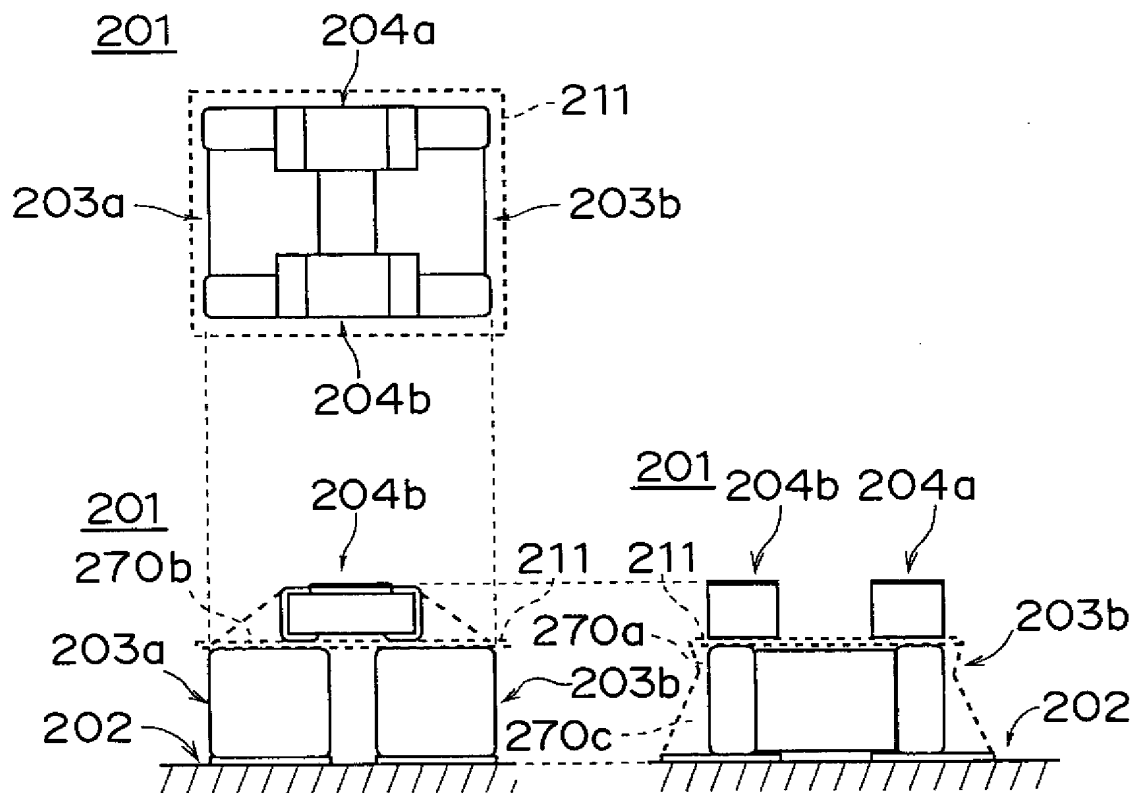
[図30B]



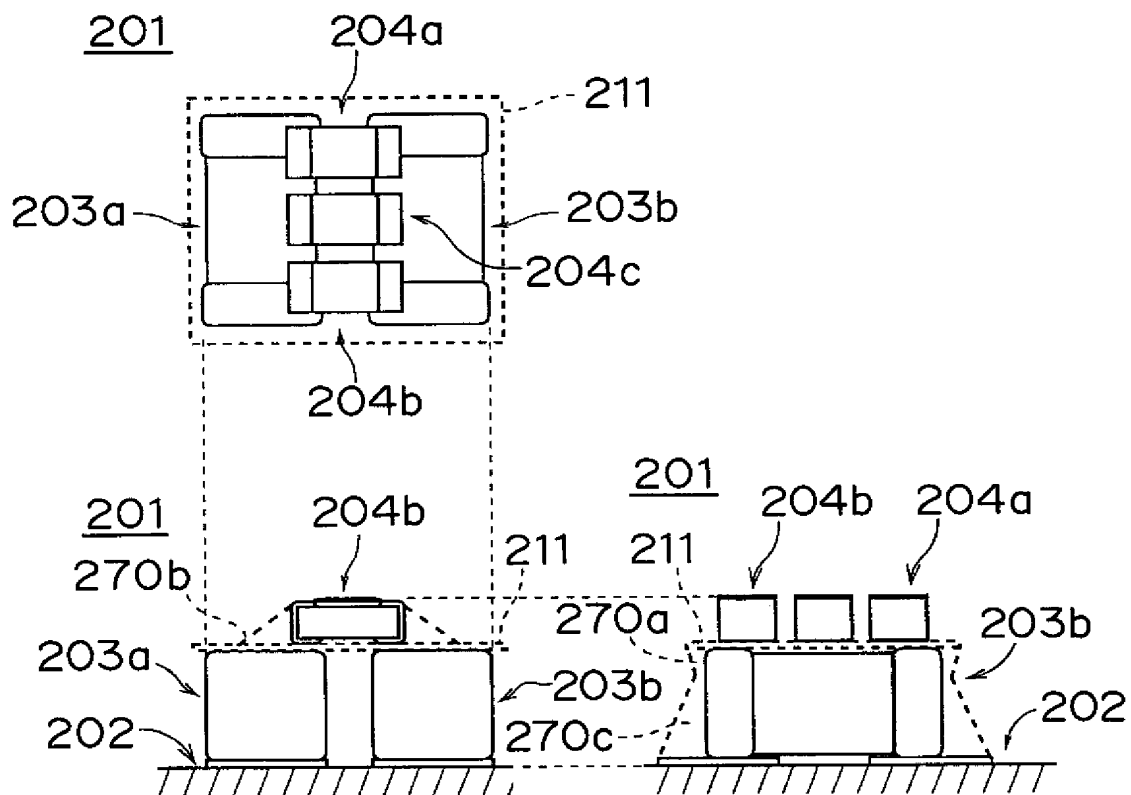
[図31]



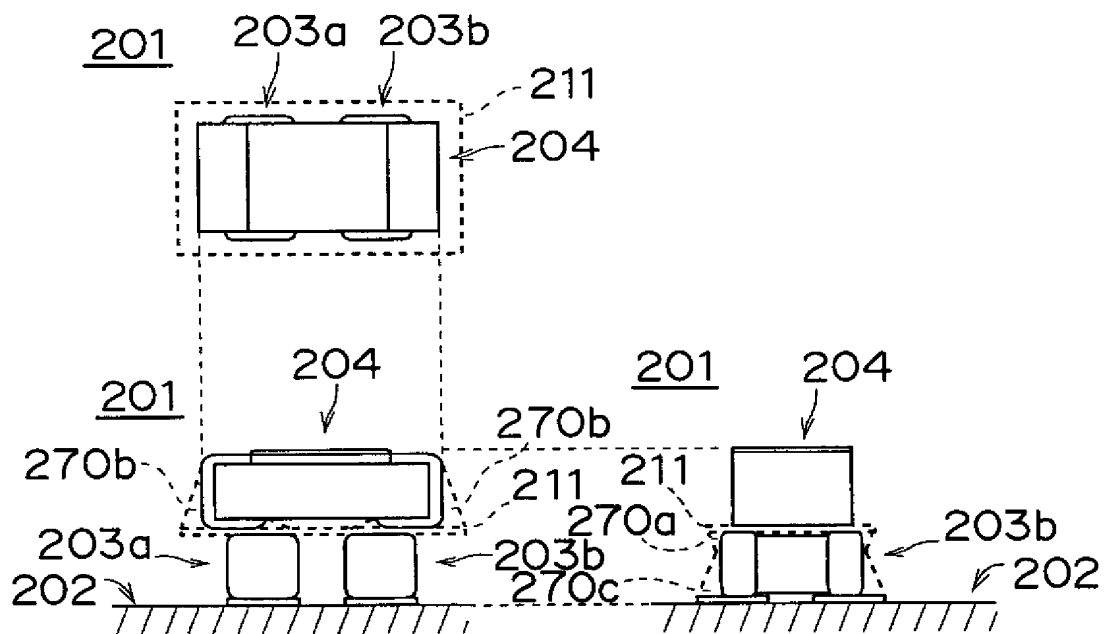
[図32]



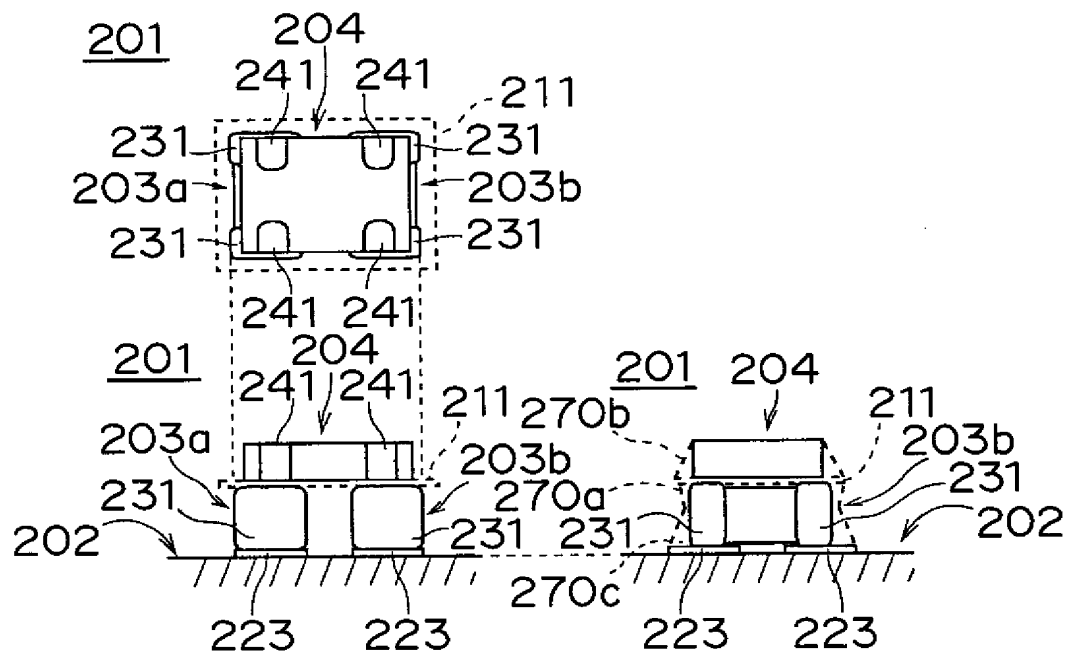
[図33]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000890

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H05K1/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-60593 A (Mitsubishi Electric Corp.), 16 March, 1988 (16.03.88), Full text (Family: none)	1-18
Y	JP 2003-218150 A (Fujitsu Media Devices Ltd.), 31 July, 2003 (31.07.03), Fig. 6 & WO 2003/063232 A1	1-18
Y	JP 10-84011 A (Hitachi, Ltd.), 31 March, 1998 (31.03.98), Par. No. [0018] (Family: none)	4, 10, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

15 February, 2005 (15.02.05)

Date of mailing of the international search report

08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000890

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-228066 A (Kokusai Electric Co., Ltd.), 03 September, 1996 (03.09.96), Par. No. [0026] (Family: none)	5-12, 17-18
Y	JP 2002-57434 A (Murata Mfg. Co., Ltd.), 22 February, 2002 (22.02.02), Abstract (Family: none)	5-12, 17-18
Y	JP 1-191491 A (Matsushita Electric Industrial Co., Ltd.), 01 August, 1989 (01.08.89), Full text (Family: none)	13-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. cl ⁷ H05K1/18		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. cl ⁷ H05K1/18		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996 日本国公開実用新案公報 1971-2005 日本国実用新案登録公報 1996-2005 日本国登録実用新案公報 1994-2005		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 63-60593 A (三菱電機株式会社) 1988. 03. 16, 全文 (ファミリーなし)	1-18
Y	J P 2003-218150 A (富士通メディアデバイス株式会社) 2003. 07. 31, 図6 & WO 2003/063232 A1	1-18
Y	J P 10-84011 A (株式会社日立製作所) 1998. 03. 31, 段落0018 (ファミリーなし)	4. 10. 12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
15. 02. 2005	08. 3. 2005	
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	3 S 8207
日本国特許庁 (ISA/J P)	千葉成就	
郵便番号100-8915	電話番号 03-3581-1101	内線 3390
東京都千代田区霞が関三丁目4番3号		

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 8-228066 A (国際電気株式会社) 1996. 09. 03, 段落0026 (ファミリーなし)	5-12, 17-18
Y	J P 2002-57434 A (株式会社村田製作所) 2002. 02. 22, 要約 (ファミリーなし)	5-12, 17-18
Y	J P 1-191491 A (松下電器産業株式会社) 1989. 08. 01, 全文 (ファミリーなし)	13-18